

電子機器の新設計手法に関する研究 デジタルモバイル機器の協調設計

著者	岡野 資睦
発行年	2015
その他のタイトル	New Design Method for Electronic Equipment - Co-design of Digital Mobile Devices -
学位授与年度	平成27年度
学位授与番号	17104甲工第397号
URL	http://hdl.handle.net/10228/5695

Academic Year 2015 DISSERTATION

電子機器の新設計手法に関する研究
— デジタルモバイル機器の協調設計 —

New design method for electronic equipment
- Co-design of digital mobile devices -

岡野 資睦



九州工業大学 工学府 電気電子工学専攻

福岡県北九州市戸畑区仙水町 1-1

概要

デジタル機器はこの二十年間で多機能化、高機能化、小型化が進む一方で、機器は画一化され、機器の製造はモジュール(標準化された機能部品)の組み合わせにより行う水平分業型へと製造形態が変わってきた。かつて国内が得意としていたすり合わせ技術を核とする垂直統合型製造形態は衰退するとまで言われていた。ところが昨今 IoT(Internet of Things)技術により様々な情報をリアルタイムに共有化できる環境が整ってくると単純な水平分業を超えた新たな可能性が見えてきた。本研究では特にデジタル機器に用いられるモジュールの設計技術に注目し、上記の可能性の調査および設計技術の体系化を行い、新たな着想に基づいた設計技術の確立および設計環境の提案等を行った。

電子回路のモジュールはデジタル機器のコア部品であり、小型化設計技術、高品質、供給能力、コスト力等が求められる。本研究で新しく提案するモジュールの考え方は以下のとおりである。従来のモジュールが、まとまりのある機能を持った塊として定義されていたのに対し、本研究では機能に加えて部品の調達やコスト、製造依頼先や加工フローなども関連付けたまとまりを新たに「エコシステムを形成するモジュール(e-モジュール)」と再定義した。e-モジュールでは、部品調達先、加工の依頼先などの変更に対して、設計側で過去の実例・成果にとらわれることなく、ダイナミックに対応することが重要となる。本研究の目的は、過去の産業構造の変化を詳細に調査・分析し、e-モジュールの設計技術を体系化し、その中でも特に困難である LSI 解析モデルの構築手法確立と、そのモデルを用いた協調設計環境を提案する事である。さらに、将来を見据えた新しい要素技術の導入の効果についても検討する。

本論文の第 1 章では、デジタル機器における産業構造の変化を詳細に分析し、e-モジュールを明確に定義し、必要となる設計技術を体系化した。e-モジュールの設計では、様々な環境の変化による調達先や製造依頼先の変更に伴い発生する設計上のすり合わせをダイナミックに行う事が要求される。そこで、e-モジュール設計での重要項目として、消費電力、サイズ・重量、無線機能、ノイズ、価格を選定し、設計能力としては、①e-モジュールの協調設計環境、②製品レベルの協調設計を可能にする設計スキーム、③協調設計を可能にする高精度解析モデルの構築、の 3 点が最も重要であるとした。

第 2 章では「e-モジュールの協調設計環境」の構築について述べる。本設計技術では、モジュールの構造、構成する部品、配線パターン、実装方法等を部品の調達先や製造委託先の変更に応じて短期間で最適なものに調整する方法を示す。具体的には、①3D 構造の CAD データ化、②LSI 内部の動作を考慮した部品モデル化と統合解析による設計の確認、③最適化アルゴリズムによる設計変更、を繰り返し行い、品質を維持しつつ部品点数を削減し、部品コストとモジュールサイズを最小にする設計環境を提案した。また本設計環境を実際の委託製造に適用した事例を示した。

第 3 章では「製品レベルの協調設計を可能にする設計スキーム」について述べる。従来のデジタル機器設計では、PDM/PLM と呼ばれる製品情報管理システムによって、部品やプリント基板ごとに CAD データを含む設計データや仕様等が共有化され、その資産を様々な解析等に利活用し、設計を高度化させてきた。ところが、機器の高機能化、高速化、LSI の低電圧化に伴い、LSI 内部配線、プリント基板のパターン、モジュール構造を個々に最適化し、その後組み合わせを行っても製品全体の電源品質や信号伝達品質を十分に保てなくなるという問題があった。そこでデータの共有化やシミュレーション連携に加え、製品全体の構想設計の段階から各部分の「仮想設計データ」を過去の設計ライブラリから構築し当てはめる手法を考案し、構想段階から製品全体の統合設計を可能とした。本手法は実際に製品情報管理システムに実装しデジタル機器の設計に活用した。

第 4 章は協調設計の核となる「高精度解析モデルの構築」について述べる。ノイズの対策では電源とグラウンド間のインピーダンスの高精度な設計が必要になる。最近の高性能 LSI での電源設計では LSI の内部の配線構造も考慮して数値解析で正確なインピーダンス値を得る必要がある。しかし解析モデルは LSI の設計データからの構築は一般的に困難であり、現在は簡単な等価回路で解析を行っている。この問題を解決するため PCB に実装された LSI の電源インピーダンスを反射係数計測により求めたうえで、解析により求めた PCB の寄生成分を除去することで LSI 解析モデルを高精度に抽出する手法を考案した。本手法により、100MHz 以上までに対応できる解析モデルの構築に成功した。

第 5 章は上述の設計技術の適用事例と将来展開について述べる。適用事例として近距離無線転送モジュール (TransferJet™) の開発事例について述べる。将来展開として、現在課題となっている配線等にグラフェンなど新材料を用いた場合のデジタル機器での仮想設計とその効果について述べる。

本研究では、競争の激しいデジタル機器開発の中で、特に協調設計を効果的に用いる手法を設計システムのレベルから要素設計のレベルまで体系化し、新しい着想による競争力の高いデジタル機器の開発環境を構築した。本技術は近距離無線転送モジュールの開発に適用され機器の高性能化に貢献している。本研究で提案した設計技術は、今後デジタル機器の高性能化、小型化等に大いに貢献すると期待される。

目次

第1章 背景と目的	1
1.1 デジタル機器を取り巻く環境の変化	1
1.2 デジタル機器を構成するモジュール等の標準化に伴う影響	4
～デジタル機器設計のコモディティ化と付加価値の分離～	
1.3 モジュールの新定義と先端デジタル機器へのインパクト	9
1.4 新定義モジュール導入による設計体系の高度化への課題	17
1.5 本論文の目的	23
第2章 エコシステムを形成するモジュール(e-モジュール)の協調設計環境の構築 ...	25
2.1 新規 3D 構造記述フォーマットによる LSI-パッケージ-PCB (LPB) 統合モデル化	27
2.2 統合モデル活用による LPB 統合解析の実現	29
2.3 統合解析と遺伝的アルゴリズムの組み合わせによる最適化設計の具体例 ..	33
第3章 製品レベルの協調設計を可能にする設計スキームの提案	60
3.1 デジタル機器設計手法の現状と課題	60
3.2 競争領域と協調領域の定義による IoT を活用した新設計スキーム	64
3.3 新設計スキームによるデジタル機器設計と e-モジュール設計の統合	70
3.4 新設計スキームの LPB モデルの国際標準化	73
第4章 協調設計を可能にする高精度解析モデルの構築方法の具体例	75
4.1 LSI の電源-グランド解析モデル構築方法	76
4.2 DC/DC コンバータの電源-グランド解析モデル構築方法	88
第5章 e-モジュール新設計手法の適用例と将来技術	95
5.1 TransferJet™ モジュール開発への新設計手法適用	95
5.2 デジタルモバイル機器へ適用可能な将来技術	98
第6章 結論	101
謝辞	102
参考文献	103
図一覧	107
研究業績論文	111

第1章 背景と目的

1.1 デジタル機器を取り巻く環境の変化

近年、デジタル機器は急速な勢いで様々な機能が集約され高機能化・小型化が進んでいる。またインターネットの普及により、様々なデジタル機器に通信機能が追加され、人々は容易にインターネットへアクセスし、情報を入手できるようになった。さらにネットワークの高速化により、これまでデジタル機器内で行なわれていた情報処理がインターネット上で行なわれるようになってきている。これらの変化により、人々がデジタル機器へ求めるものは機能ではなく、インターネットへの接続性やネットワークの高速性へと移行し、デジタル機器は画一化されようとしている(図 1.1.1)。



図 1.1.1 機能が集約されるデジタル機器

これらの変化は、総務省「情報通信白書」(平成 25 年版)では“第三の産業革命”と呼ばれており、次にあげる 3 段階のステップ(革命)を経て進んできたものと分析されている[1]。

「第一ステップ」: 1980 年代のパーソナルコンピューター (PC) 登場に代表される
“デジタル革命”

「第二ステップ」: 1990 年代のインターネットの発明と 2000 年代にかけて進んだネットワークのブロードバンド化、そして一人一台の PC および携帯電話の普及による“ネットワーク革命”

「第三ステップ」: 現在のインターネット社会基盤が浸透し、モバイル高速化によるソーシャルネットワーク時代到来の“ユーザ革命”

この 3 つの革命に対し、デジタル機器の設計形態がどのように変化してきたかを分析する。“第三の産業革命”が起きる以前は、LSI 設計から基板設計、筐体設計まで一つの製品を一社で行なう垂直統合設計が一般的であった。この設計手法は国内の製造業が得意とし、例えばデジタル信号から発せられるノイズが、アナログ信号に混入しなくなるまで実機評価と試作設計を繰り返すことで、設計期間と試作コストはかかるが、高い品質の製品を作り上げてきた。ところが“デジタル革命”が起きると、これまで PCB 基板上を流れていたアナログ信号はデジタル信号へ置き換わり、ノイズ耐性が大幅に向上することで、従来の垂直統合設計手法のままでは設計期間と試作コストに見合う品質価値が見出せなくなった。これに対し、欧米企業(PC 分野では Intel&Microsoft 連合、携帯分野では Qualcomm など)は CPU など主要 LSI を自社で設計し、LSI 周辺の PCB リファレンス設計データと設計ガイドを社外に公開することで、新興国を含む機器メーカーの参入を促し、LSI 設計とデジタル機器設計の水平分業体制を確立した(図 1.1.2)。これによりデジタル機器のコモディティ化を進め、それに搭載される LSI の出荷台数を増やすことで収益性を上げることに成功した。しかし、“ネットワーク革命”で通信コストが大幅に下がると、これまでデジタル機器の LSI により行なわれていた情報処理がインターネット上で行なわれるようになり、デジタル機器は LSI を含めハードウェア全体のコモディティ化が進んでいる[2]。さらに“ユーザ革命”では、Google などの WEB 系企業が、インターネット接続を前提としたオペレーティングシステム(OS)を無償で機器メーカーに提供している。これは WEB 系企業のビジネススタイルが広告収入やサービス使用料などユーザ課金であるため、どれだけ多くの人々をインターネットへ誘導させるかが重要であり、デジタル機器はアクセスさせるための手段に過ぎないからである。これら 3 つの革命によりデジタル機器はハードウェアおよびソフトウェア全てでコモディティ化が進んでいる。

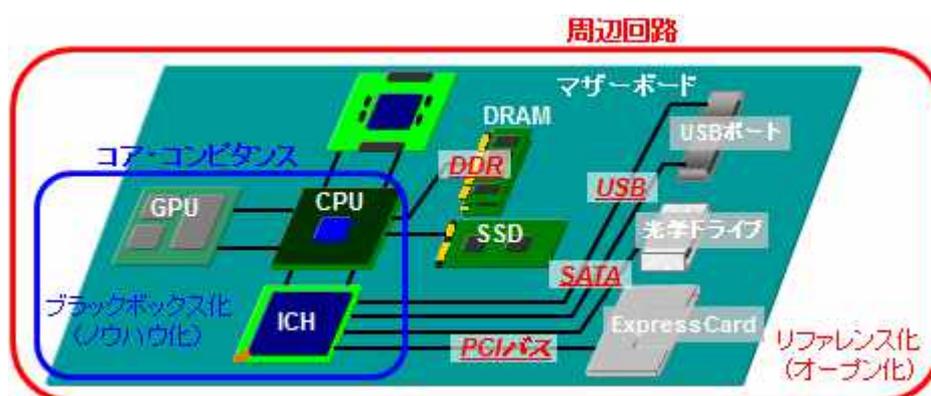


図 1.1.2 LSI 設計とデジタル機器設計の水平分業体制

これらの変化は、今後 IoT(Internet of Things)時代を迎えることにより、人々が使用するデジタル機器端末だけではなく、スマートグリッドや監視カメラなどといった社会インフラと密接に繋がる機器にも広がる動きを見せている[3-5]。本研究ではこの IoT の動きをデジタル機器の製造業に生かせないか、特にデジタル機器に用いられるモジュール設計技術に応用できないか検討を行なった。この取り組みは“第四の産業革命”の先駆けになるのではないかと期待する。図 1.1.3 に“第三の産業革命”および“第四の産業革命”の扱う範囲を示す。具体的には、デジタル機器の市場動向や機器メーカーの開発状況、生産・調達状況の情報が IoT 技術によりインターネット上でリアルタイムに共有化され、これら最新の状況に合わせてダイナミックにモジュール設計を変更し、機器メーカーに最適なモジュールを提供できるようにすることである。

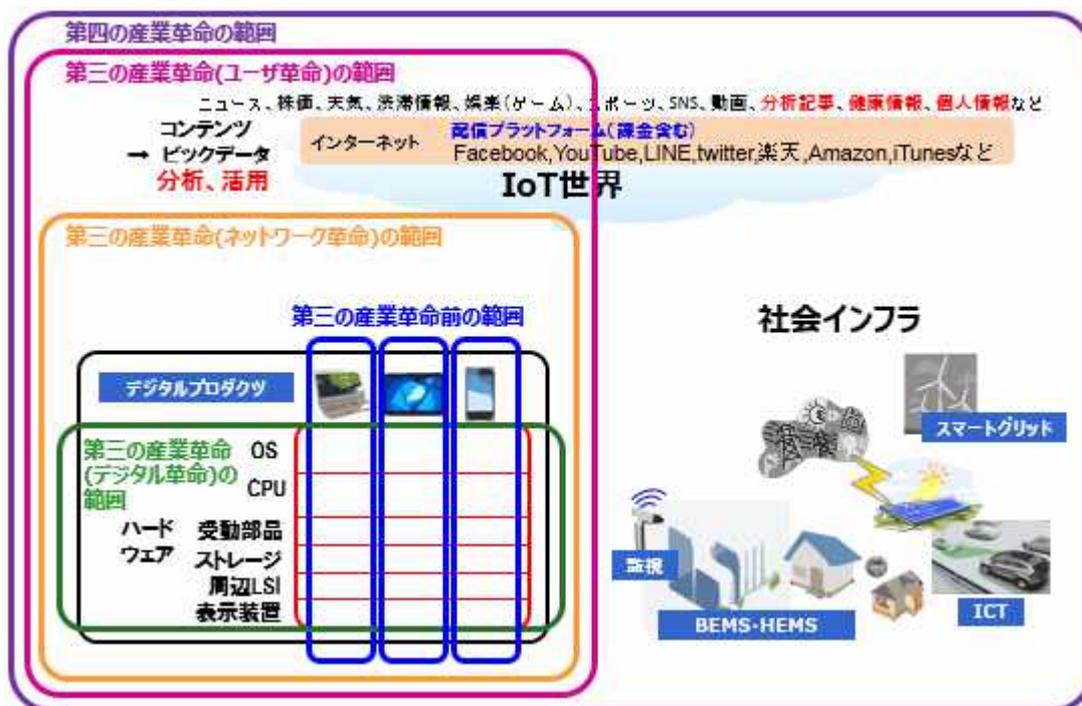


図 1.1.3 “第三の産業革命”と“第四の産業革命”のモノ作りが扱う範囲

1.2 デジタル機器を構成するモジュール等の標準化に伴う影響

～デジタル機器設計のコモディティ化と付加価値の分離～

デジタル機器を取り巻く産業構造が、“第三の産業革命”によってどのように変わり、それに伴いデジタル機器設計のコモディティ領域がどう変化していったかを分析することで、今後国内製造業が目指すべき設計分野を考察する。

1.2.1 “第三の産業革命”以前は、垂直統合設計が主流

“第三の産業革命”以前はまだインターネットが普及しておらず、デジタル機器が受信できるコンテンツはTVやラジオなどがあったものの、当時は通信と放送が別々でネットワークコストも高く、デジタル機器は主に機器内(ローカル)のコンテンツを消費する製品が主流であった。そのため各社は個性ある製品を競って開発し、それを実現するために自社内でLSI設計、PCB基板設計、筐体設計まで全てのハードウェア(HW)と、ミドルウェア(OS/MW)、アプリケーション・ソフトウェア(SW)を開発し、高い品質と高い性能基準をクリアするまで実機評価と試作設計を繰り返す垂直統合設計が一般的であった(図1.2.1)。

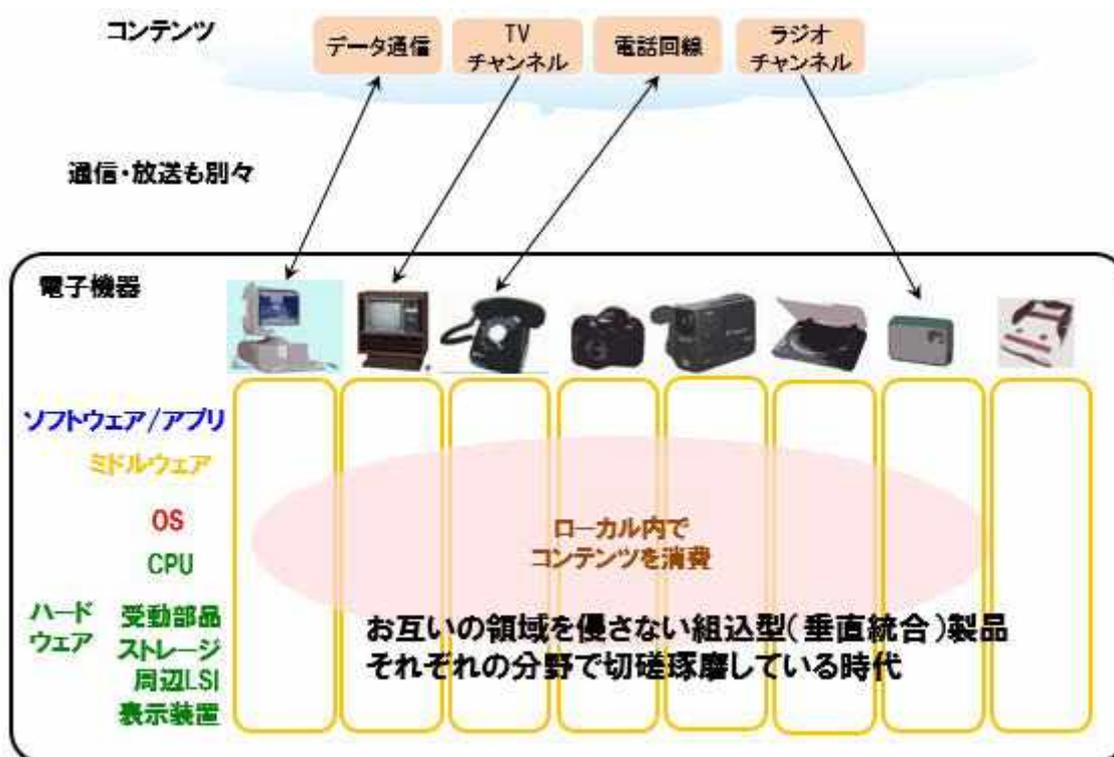


図 1.2.1 “第三の産業革命”前の電子機器の構成

1.2.2 デジタル革命により OS/CPU 以外の HW がコモディティ化へ

デジタル革命が起きると機器のデジタル化が急速に進み、これまで一製品一機能が一般的であった製品形態が、例えば携帯電話にカメラ機能が追加され、ゲーム機にオーディオ機能が入るなど、ユースケースに合わせて機能が融合化され複合機能化されていった(図 1.2.2)。

また PC は、Microsoft の Windows 登場により OS が共通化され、Microsoft と Intel が連携し、OS と CPU をコア・コンピタンスとしてブラックボックス化した(図 1.1.2 参照)。さらに CPU 周辺の PCB リファレンス設計データと設計ガイドを社外に公開することで、新興国などの機器メーカーへの参入を促し、PC 製品のコストを下げて市場を拡大させ、LSI の出荷台数を増やすことで収益性を上げることに成功した。

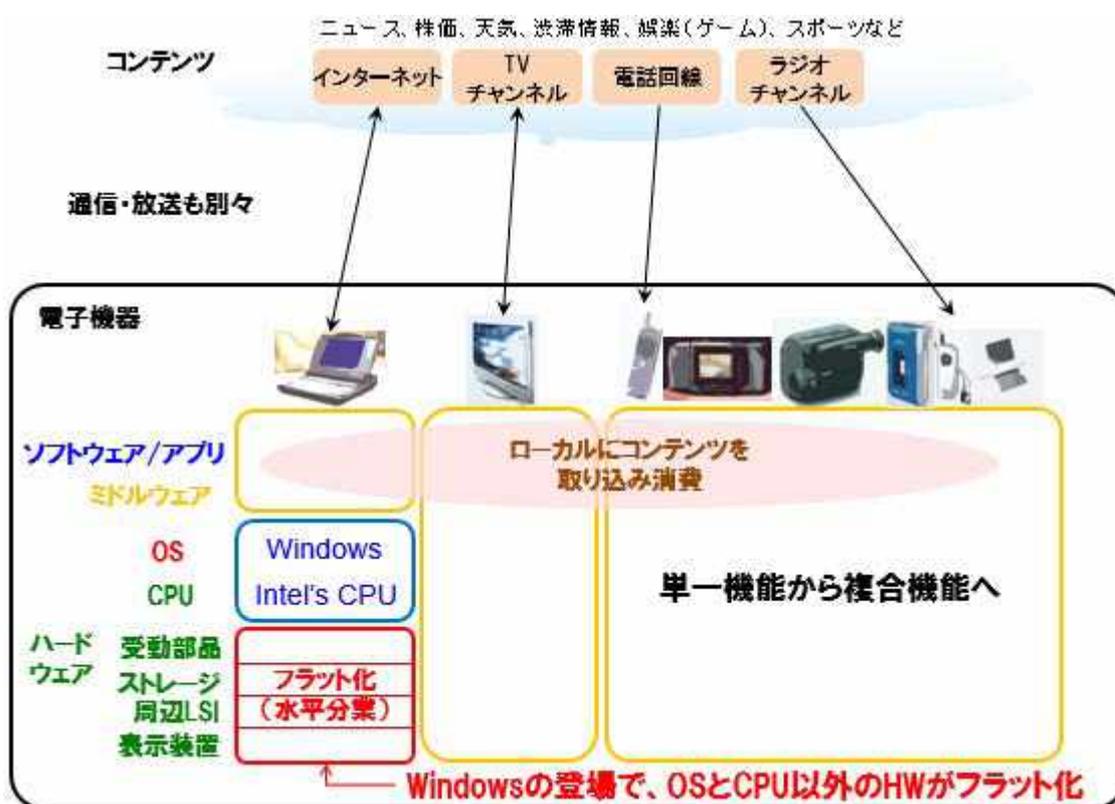


図 1.2.2 “第三の産業革命” デジタル革命での電子機器の構成

1.2.3 ネットワーク革命により、全てのHWがコモディティ化へ

ネットワーク革命が起こり、ネットワークコストが大幅に下がると、通信と放送は融合され、情報処理をインターネット上で行うネットワーク接続を前提としたサービスやコンテンツが多数登場することとなる。それに伴い、データの流れもデジタル機器が一方的にコンテンツを受信するだけでなく、SNS(Social Networking Service)の利用や、動画サイトへのコンテンツアップロードなど情報の流れは双方向へと変わり、デジタル機器はローカルとインターネットの双方のコンテンツを消費する端末へと移行した(図1.2.3)。これを本論文ではコンテンツ消費型デジタル機器と呼ぶこととする。

このコンテンツ消費型デジタル機器は、WiFi や 3G/LTE の普及により、スマートフォンやタブレットといったモバイルコンピューターへ集約され、OS はインターネット上で情報処理することを前提とした Android や iOS が主流となっている。また CPU もこれまでの高性能プロセッサではなく、複数の IP(Intellectual Property) コア(GPU、キャッシュ、通信回路など)を組み合わせる ARM アーキテクチャが主流となり、従来から組み込み型プロセッサとして ARM 系 CPU(SoC)が使用されていた PC 以外のゲーム機やテレビ、携帯電話などもモバイルコンピューターへ統合され、ハードウェア(HW)は全てがコモディティ化されようとしている[6-8]。

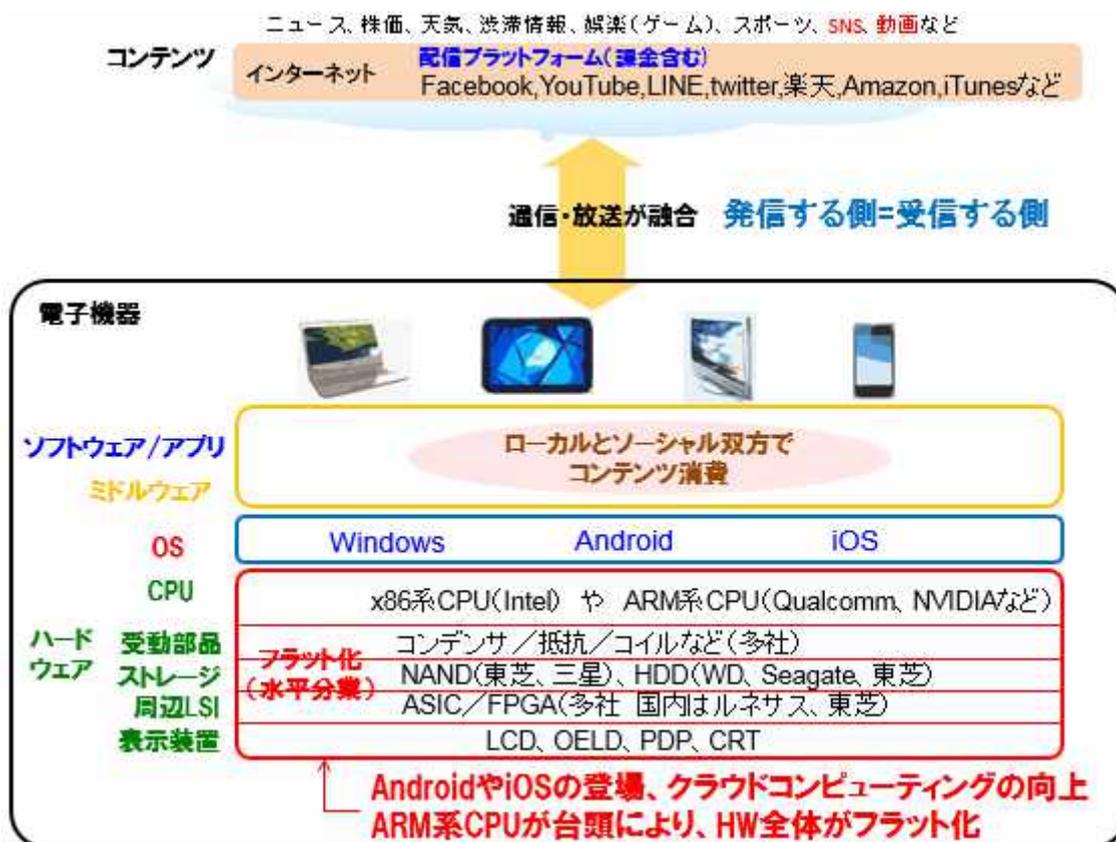


図 1.2.3 “第三の産業革命” ネットワーク革命での電子機器の構成

1.2.4 ユーザ革命により、全てがコモディティ化へ

ユーザ革命が起きている現在では、Google など WEB 系企業がインターネット接続を前提とした OS を無償で機器メーカーに提供している。これはこれまでの製造業がハードウェア (HW) の単体売りやソフトウェア (SW) のパッケージ売りを収益としていたのに対し、彼らは広告やサービス使用料などユーザ課金を収益とするビジネススタイルを取っているため、HW の販売収益は重要ではなく、いかに多くの人々にインターネットへアクセスするためのデジタル機器を届け、インターネットへ誘導するかが重要だからである。

またユーザ革命は、人々にこれまで経験したことの無いモノやコトを体験 UX (User Experience) させるサービスをインターネット上で展開することが重要であり、インターネットへの接続手段は問わない。そのため、「Tizen」や「Firefox OS」といった非営利団体が提供するオープンソースのモバイル OS を搭載したデジタル機器も登場してきている。今後は HTML5 や JavaScript、CSS3 といった Web 技術を中心としたオープンプラットフォームがますます進み、コンテンツ消費型デジタル機器は全ての HW/SW がコモディティ化されていくことになると思われる (図 1.2.4)。



図 1.2.4 “第三の産業革命” ユーザ革命での電子機器の構成

1.2.5 コモディティ領域の変化

“第三の産業革命”によりデジタル機器の構成が変化することで、コモディティ領域がどのように拡大していったかを図 1.2.5 に示す。これは図 1.2.1～図 2.4 のコモディティ部分を赤くしたものである。この変化を見ると、第三の産業革命以前はコモディティ領域がなかったが、デジタル革命により PC の CPU を除く周辺回路がコモディティ領域となり、ネットワーク革命で CPU を含む全てのハードウェア (HW) がコモディティ領域に拡大し、さらにユーザ革命で OS を含む製品構成全てがコモディティ領域 (超コモディティ化) となっている。すなわち第三の産業革命により電子機器はデジタル機器化され、さらにコンテンツ消費型デジタル機器へと発展するなど、モノ作りは超コモディティ化へ向かっている。したがって今後ますますデジタル機器の設計・製造は新興国の機器メカへ移行し、国内製造業がこの分野でデジタル機器メカとして生き残るのは非常に困難と思われる。

しかしこのコモディティ領域の拡大が、今後コンテンツ消費型デジタル機器以外の社会インフラへ繋がる機器にも広がっていくと、IoT 技術によって様々な情報がリアルタイムに共有される環境が整い、デジタル機器の市場動向や、新興国を中心に行なわれるデジタル機器の開発状況、生産・調達状況の情報が見える化 (可視化) されるようになる。すると、国内製造業などが持つ垂直統合で養ってきた設計能力を生かせる、水平分業を超えた新たな分野の可能性が見えてきた。次項からその可能性について考察していく。

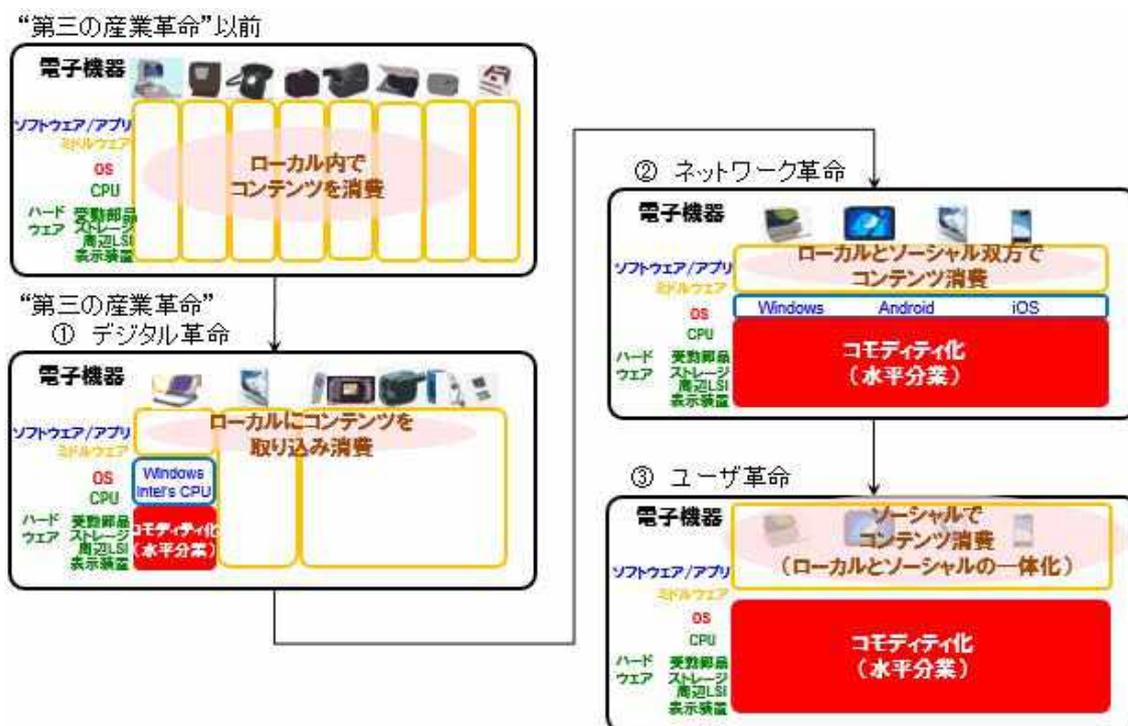


図 1.2.5 コモディティ領域の変化

1.3 モジュールの新定義と先端デジタル機器へのインパクト

今後の国内製造業の機器メーカーが目指すべき道を考察する。短期的に見た場合、デジタル機器メーカーは、Google などの WEB 系企業が提供するインターネットをベースとした OS を使って動作するデジタル機器を造らざるを得ない。しかしこれらのデジタル機器は主にインターネットへ接続されることを前提にした端末機器であり、デジタル機器自身の機能的な特徴は不要となり、結果として新興国の機器メーカーとのコスト競争に巻き込まれることになる。そこで中長期的な視点に立ち、IoT 技術で今後様々な情報をリアルタイムに共有できる環境が整ってきた時に備え、新興国を中心に行なわれるデジタル機器開発の状況に合わせたダイナミックな設計変更ができる新たな着想のモジュール設計技術を確立することが重要であるとの結論に至った。本項では、そのモジュール設計に着目した背景と、今後どのようなモジュールに取り組むべきかを考察する。

1.3.1 エコシステムを形成する(e-モジュール)の導入

デジタル機器の成長株であるスマートフォンの市場動向を分析する。最近のトレンドでは、2013 年の世界市場におけるスマートフォンの出荷台数は前年比 1.4 倍の 10.2 億台に拡大し、初めてフィーチャーフォンの出荷台数を抜いた(図 1.3.1)。また台数の伸びと共に特徴として挙げられるのが、中国企業の台頭である。2013 年の世界スマートフォン市場では韓国 Samsung Electronics が首位で 32.47%のシェアを持つものの(台数ベース)、中国企業上位 6 社合計のシェアは約 22%に達している(図 1.3.2)。これは、世界市場 2 位の米 Apple 社のシェア 13.63%の 2 倍に迫る数である。

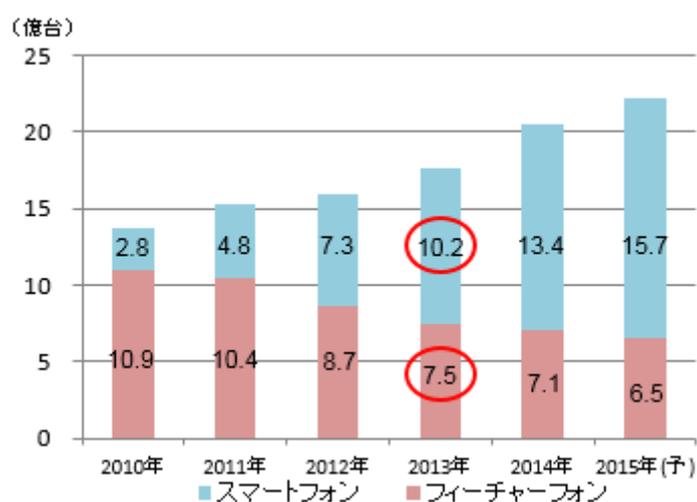


図 1.3.1 スマートフォンの出荷台数

中国企業の台頭が著しい。2013年には世界の22%が中国企業

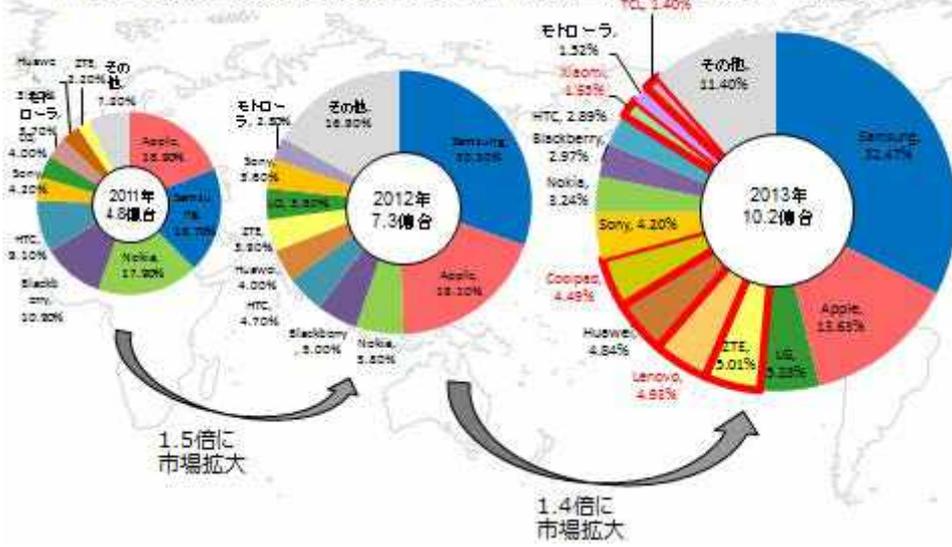


図 1.3.2 スマートフォンの世界市場のシェア

またスマートフォンの地域別シェアを見ると、2017年には中国は1.52倍、インドは5.60倍に増える見込みである(図 1.3.3)。最大規模の中国市場を見てみると、さらに中国企業の勢力の強さがうかがえる。1位は Samsung で変わらないもののシェアは17.7%に過ぎず、一方、中国企業上位5社の合計は47%を上回る。現地企業に勢いがあるのは、スマートフォン市場分野で成長率最大のインド市場でも同じである。ここでも1位は Samsung だがシェアは26%にとどまり、インド企業上位2社の合計はそれを上回る35%にも及ぶ(図 1.3.4)。

これからの市場は中国を筆頭に、BRICsを中心に成長する。

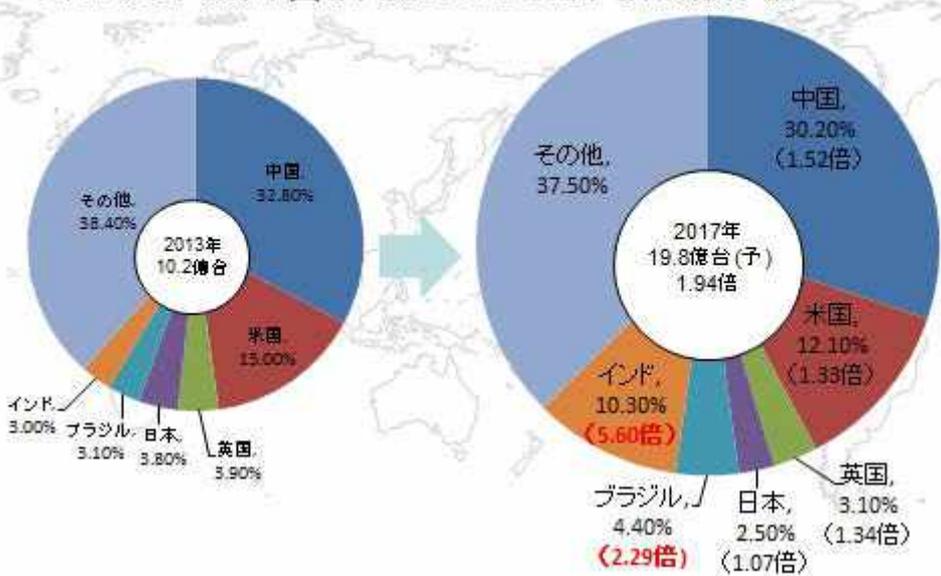


図 1.3.3 スマートフォンの地域別シェア

中国・インドともに低価格の現地メーカー製が筆頭

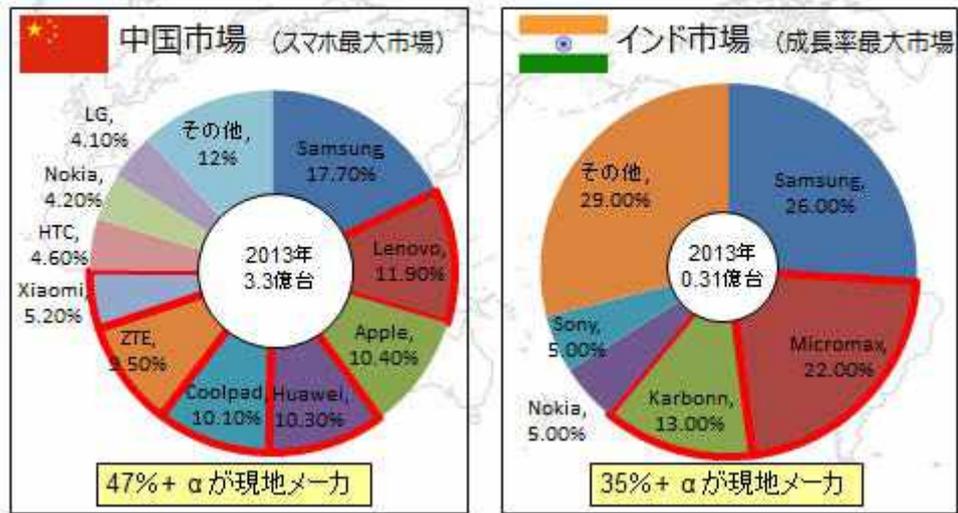


図 1.3.4 スマートフォンの中国市場とインド市場のシェア

こういった国内部品製造メーカーにとって、このような市場規模が大きく成長率の高い新興国の機器メーカーに部品が採用されることは重要である。一般に先端 LSI を扱う場合、性能を保ちながら対策コストを上げずノイズ抑制した設計をするのは困難である。そこで、LSI を供給する側が、あらかじめ周辺回路を含めたモジュールを提供できれば、設計経験の少ない新興国の機器メーカーでも難しい設計をすることなく先端 LSI を取り入れることが可能となる(図 1.3.5)。また PCB 基板の小型化や低コスト化も実現できる。

国内製造業にはこれまで、すり合わせ技術を核とする垂直統合設計方式により養った、非常に品質の高い半導体設計技術、デジタル機器設計技術、シミュレーション技術、生産・製造技術等を保有している。これらの技術を用いて、先端 LSI、パッケージ、PCB 基板、システム・ソフトを扱いやすいモジュールに加工し(図 1.3.6)、市場規模や成長率の大きな新興国の機器メーカーに提供することができれば、国内製造業にも新たな可能性が出てくる[9]。

今後の IoT 技術で、市場動向や機器メーカーの開発状況、モジュールに用いる部品の調達やコスト、製造依頼先や加工フローなどがリアルタイムに共有化されるのを利用し、それらを反映した最適なモジュールへダイナミックに設計変更できれば、機器メーカーは一段と先端 LSI を取り入れやすくなり、国内製造業の売上げ拡大と利益確保の可能性が出てくる。この IoT 技術を用いた新たな形のモジュールを「エコシステムを形成するモジュール(e-モジュール)」と定義する。次に今後これらのモジュールが必要とされる分野が何かについて次項で考察する。

レイヤー間を跨ぎ
周辺回路を含めた
モジュール ⇒ 第3の産業革命前は製品単位の垂直統合技術が必要であったが、
今後は、モジュール単位で再び垂直統合技術が重要となる。



図 1.3.5 LSI を扱い易くするモジュール

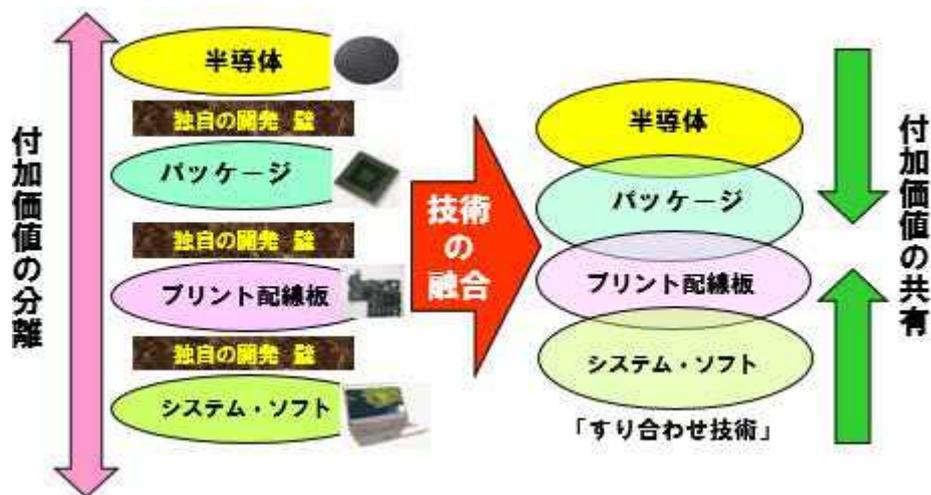


図 1.3.6 すり合わせ技術で構成されるモジュール

1.3.2 今後必要とされるモジュール領域

今後どの領域のモジュールが重要となるかを分析する。現在、急速に IoT 技術の普及が進んでいる背景には、以下 3 つのコスト下落によるところが大きい[10-11]。

- ・ハードウェア (HW) コストの下落
- ・ブロードバンド化によるネットワークコストの下落
- ・分散処理技術などクラウド関連技術の進化による解析コストの下落

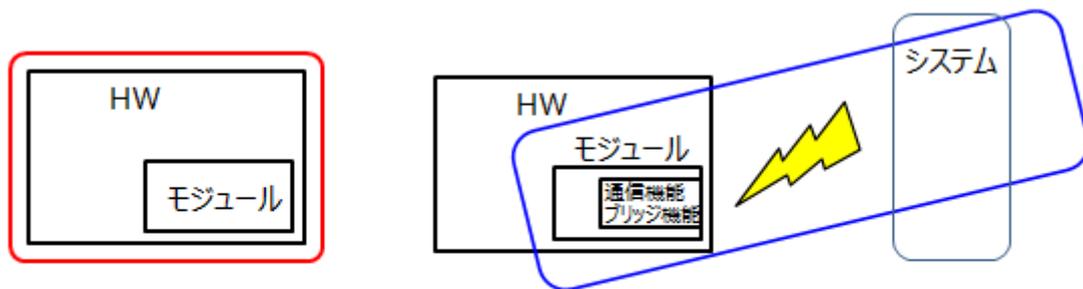
これらのコスト下落により IoT の普及が加速すると、以下 3 つの変化が生まれる。

(1) IoT を利用するユーザの変化

1 つ目の変化は IoT を利用するユーザである。これまでは大企業が自ら提供するサービスや社会インフラに IoT を導入し、ユーザビリティの向上や情報収集の効率化を図るのに利用していた。例えば、JR 東日本が導入した SUICA を使用した IoT サービスはシステム構築費用が 460 億円にもものぼると言われている[12]。このサービスは、キャッシュレスによる乗客のユーザビリティを向上させると同時に、乗客の利用状況を収集・分析することで安全快適な運行へと役立っている。

こういった IoT を利用するユーザ層は、今後プラットフォームの整備により、これまでシステム構築費や運用費が高くて手を出せなかった比較的小規模な企業やスタートアップ企業にまで広がって行くものと思われる。例えば、総務省発行の平成 26 年版情報通信白書には、宮城県の農業生産法人 GRA による IoT を使ったイチゴの圃場管理の利用例が挙げられている[13]。この事例によると、GRA は地元のイチゴ生産農家等と協業して IoT を利用した生産を行っている。従来は旧来型のビニールハウス生産だったが、各圃場内に無線 LAN を設置して、本社や各農場、他の研究機関を光回線で接続し、さらにセンサーやコントローラーを活用することで栽培に重要となるビニールハウスの温度、湿度、CO₂ の情報を収集・分析し、イチゴ収穫量を年間約 3.7 トンから約 7 トンへ向上させることに成功している。また海外事業展開においても、海外圃場のセンサーから得られたデータをクラウドへアップロードし、国内でそのデータを分析して適切な指示をすることで収穫量を向上させている。これらの総工費は約 2 億 5000 万円と従来の構築費用よりはるかに安価となっている。

すなわち、これまでのコンテンツ消費型デジタル機器へ組み込まれるモジュールは HW との相性ばかりが重要視されていたが、今後 IoT 市場で求められるモジュールは、HW との相性の他に、手軽に (低コストで) システムやプラットフォームと繋ぎやすい特性を併せ持つことが重要となり、ユーザはプラットフォーマーが推奨するモジュールを中心に選ぶことが多くなるとと思われる (図 1.3.7)。



HWと相性の良さが最も重要

システムやプラットフォームとの相性が最も重要
→モジュールはプラットフォームの推奨品から選ばれる

(a) これまでのモジュール

(b) 今後求められるモジュール

図 1.3.7 IoT 市場で求められるモジュール

(2) サプライヤ・関連プレイヤーの変化

2つ目はサプライヤ・関連プレイヤーの変化である。“第三の産業革命”で起きたデジタル機器のコモディティ化の流れは IoT のモジュールでも起き、新興国メーカーの参入が相次ぐと予想される。

ただ IoT のプラットフォームは中規模なオープン・プラットフォームとクローズド・プラットフォームが混在する形が主流となり、デジタル機器のように全世界共通のプラットフォームを構築するのは困難と思われる。すなわち、新興国メーカーの参入による IoT モジュールの低コスト化を回避するには、ニッチな産業用モジュールや、図 1.3.8 のようなシステム全体で最適化され、超消費電力で駆動可能なセンサーやアクチュエーターを搭載したモジュールなど、独自性ある技術を用いたモジュール開発が重要になる。

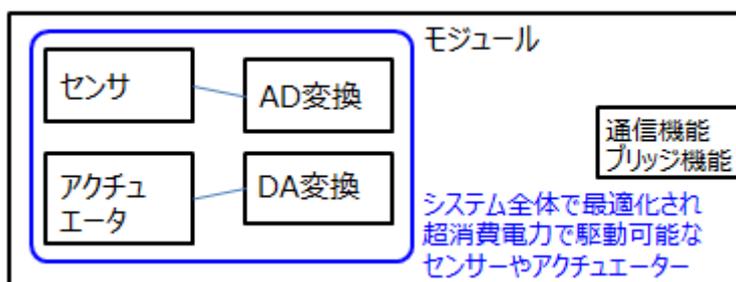


図 1.3.8 センサーなど独自性ある技術を有したモジュール

(3) 作るモノの変化

3つ目は作るモノの変化である。従来のIoTシステムは、人手の介在を前提とした情報収集・蓄積システムであり、IoTを用いて遠隔操作することで、これまで人が行っていた作業を削減・効率化するために多く使われていた。例えば、自動販売機の中にある在庫状況を3G回線などでシステム側に伝え、補充の必要有無や補充すべき種類・数を事前に集計することで、補充しに行く人の作業効率を上げるシステムなどである。

今後はこれらがさらに応用され、土管システムなど社会インフラのメンテナンスにも応用されるようになる。例えば、水圧や水の成分を検出するセンサーが搭載されたモジュールを河川や下水道管のあらゆるところへ設置し、そこから得られる情報をシステム側へ伝えることで、水位や水質をリアルタイムに確認できるようになる。また画像センサーが搭載されたモジュールを道路の電光掲示板へ設置することで車の量や流れをシステム側へ伝え、道路状況を把握できるようになる。

これらの仕組みは、これまでローカルからシステムへ一方的な情報収集を起点とするものであった。しかし今後は解析コストの下落により、モジュール自体がシステム側と会話し、人手を介在せず自動で状況判断するリアルタイム処理可能なシステムが多く登場すると思われる。例えば、上記の例であれば、センサーを搭載したモジュールが河川や下水道の水位(ローカル)の情報を取得し、システム側と双方向に会話しながら取得した情報を必要なデータにリアルタイム加工し、水位に異常があれば周辺道路の電光掲示板へ搭載されたモジュールへ伝えることで、人の判断抜きに安全なところへ車を誘導するといったシステムである。すなわち今後は、システム側とリアルタイムに会話・処理できるようデータ加工のできるモジュールが重要になるとと思われる(図1.3.9)。

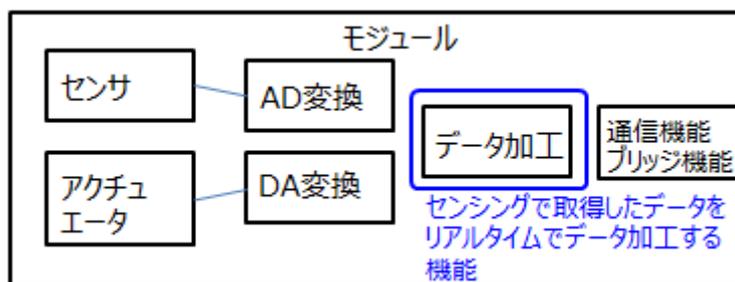


図 1.3.9 データ加工の機能を有したモジュール

これらをまとめると、今後普及する IoT 市場に必要なモジュール形態は以下 3 点である。

- ・ プラットフォーマーが推奨するモジュール
手軽に(低コストで)システムやプラットフォームと繋ぎやすい特性を持つモジュール
- ・ 独自技術を有するモジュール
新興国メーカーの参入による低コスト化を回避するために、特化型用途(例えば、産業系や医療系など)といったクローズドな世界で、その世界ならではの独自性ある技術(例えば、系全体が最適されることによって実現される超消費電力)を用いたモジュール
- ・ ソリューションを提供できるモジュール
センシングを備え、得られた情報をリアルタイム処理できるように用途毎にデータ加工できるモジュール

すなわち、これからの新領域はプラットフォームに最適化された図 1.3.10 のようなデータ処理可能なセンシング・デバイスが重要となる。

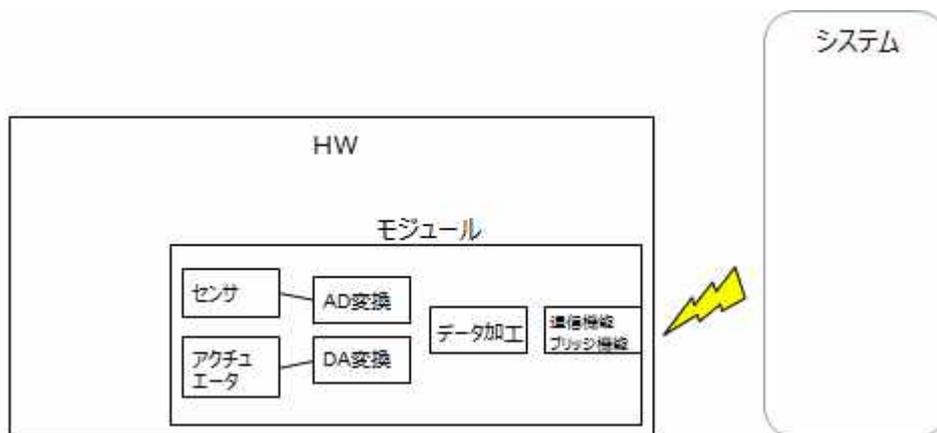


図 1.3.10 プラットフォームに最適化されたセンシング・デバイス

1.4 新定義モジュール導入による設計体系の高度化への課題

産業構造の変化に伴うコモディティ領域の変化を分析した結果、これまでのコンテンツ消費型デジタル機器は超コモディティ化が進み、今後はモジュール・ビジネスが重要であることが分かった。特に、これまでのモジュールはまとまりのある機能の塊であったが、それを発展させ、IoT 技術で、市場動向や機器メーカーの開発状況、モジュールに用いる部品の調達やコスト、製造依頼先や加工フローなどをリアルタイムに共有化し、最適なモジュールへダイナミックに設計変更させることが重要であることが分かった。本章では、この新たな形態のモジュール「エコシステムを形成するモジュール(e-モジュール)」を設計するのに必要な要素技術は何かを、新しい領域であるセンシングデバイス(ウェアラブル機器/M2M など)も含め考察した。

1.4.1 IoT 分野でのデジタル機器を構成する最適単位

IoT 分野でデジタル機器を構成する最適単位は何かを考察する。図 1.4.1 はデジタル機器を構成するパーツ(部品)を表している。従来は垂直統合設計によるすり合わせ技術によって製品が構成されていたため、製品を構成するパーツとパーツの結びつきが非常に強く、代替部品への置き換えは困難であった。しかし、これまで述べてきた通り、今後はデジタル機器の全てがコモディティ化へ向かうため、部品調達・加工のフローなど様々あるが、世界中の部品を寄せ集めて組み合わせることで、これまでと同じモノを製造することが可能となる。

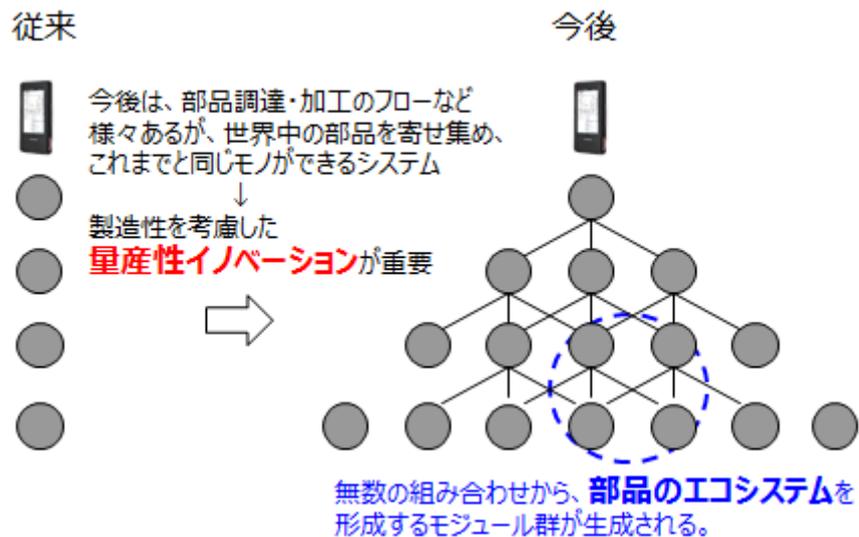


図 1.4.1 部品のエコシステム化

しかし、コモディティ化が進むと、今度は無数の部品の中から製品を構成する最適な組み合わせを選択する必要がある。これまでは、これらの要求に対して、図 1.4.2 に示すような、まとまりのある機能を塊(機能ブロック)にしてモジュールとして提供してきた。今回はこれをさらに発展させた「エコシステムを形成するモジュール(e-モジュール)」を提案する。e-モジュールは、IoT 技術を用いることで、市場動向や機器メーカーの開発状況、モジュールに用いる部品の調達やコスト、製造依頼先や加工フローなどをリアルタイムに共有化し、最適なモジュールへダイナミックに設計変更させることを目指した新たな形態のモジュールである。

e-モジュールについて、図 1.4.3 を例に説明する。例えば、ある機器メーカーが、図に示すような、機能ブロック A~E を構成するデジタル機器を開発しようと想定する。その場合、機能ブロック A, B, C を構成するモジュール 1 と、機能ブロック B, D を構成するモジュール 2 を採用しようとすると、機能ブロック B が重複することになる。この重複を解消するためには、例えば図 1.4.4 に挙げるような①~④のモジュールを作るなどの対策が考えられる。

- ① モジュール 1 から機能ブロック B を削除した新たなモジュール
- ② モジュール 2 から機能ブロック B を削除した新たなモジュール
- ③ モジュール 1 と 2 から機能ブロック B を削除し、機能ブロックのみをモジュール化
- ④ 機能ブロック B の重複を解消しモジュール 1 と 2 を統合したモジュール

IoT 技術で収集した情報を基に、これらの候補からデジタル機器製品として性能を保ちながらコストが最小になるように構成されたモジュールが、e-モジュールの構成候補となる。この構成は IoT により収集された情報に伴い、リアルタイムに変更される可能性がある。この構成されたものをこれまでの垂直統合設計によるすり合わせ技術を使って、性能を保ちながらコストおよびサイズを最小化したものが、e-モジュールとなる。



図 1.4.2 従来のモジュール構成

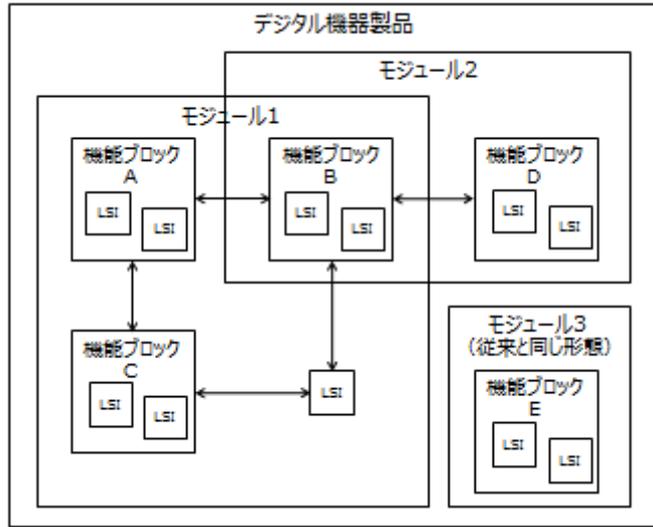
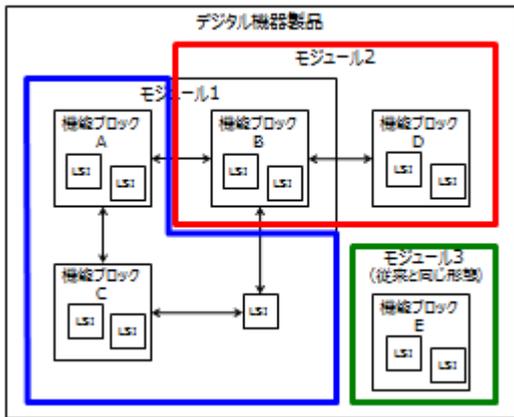
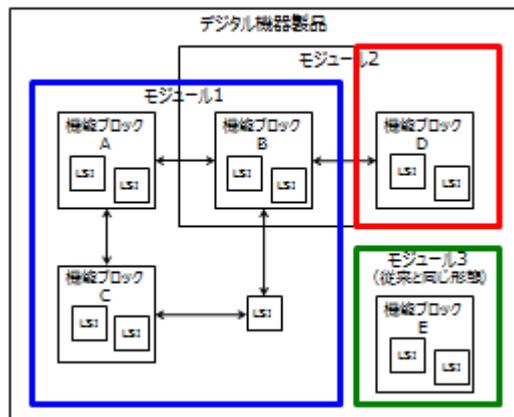


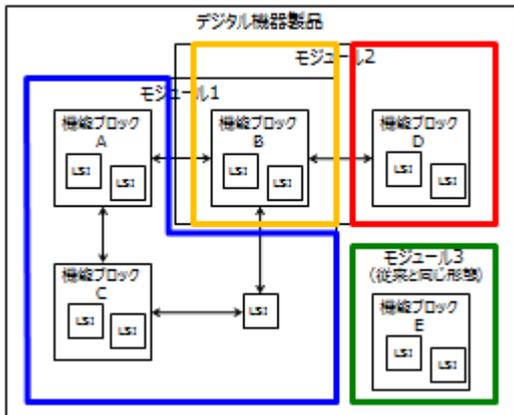
図 1.4.3 e-モジュールの考え方



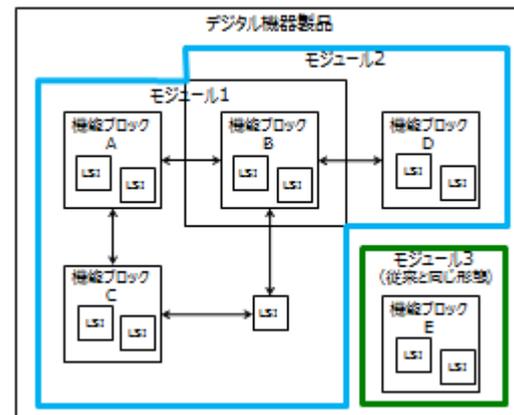
①モジュール 1 から機能ブロック B を削除



②モジュール 2 から機能ブロック B を削除



③モジュール 1, 2 から機能ブロック B を削除し
新たに機能ブロック B のみをモジュール化



④機能ブロック B の重複を解消し、
モジュール 1, 2 を統合したモジュール

図 1.4.4 e-モジュールになり得るモジュール構成

図 1.4.1 や図 1.4.2 はデジタル機器を構成する一部の部品を集合体させたものをモジュールとしているが、IoT 技術で収集した情報を基にモジュールの構成を選定した結果、例えば図 1.4.3 でモジュール 1, 2, 3 全てを統合したモジュールが、性能を保ちながらコストも最小になるのであれば、図 1.4.5 に示すようにデジタル機器製品そのものが e-モジュールとなることもありうる。



図 1.4.5 IoT 分野でのデジタル機器を構成する最適単位

1.4.2 e-モジュール実現に向けた課題

e-モジュールを開発するのに必要な技術について考察する。IoTは、図1.4.6に示すように大きくクラウド、ネットワーク、端末で構成される。これまで述べてきたデジタル機器は端末に該当する。端末はさらに以下2つに分けることができる。

- ・コンテンツ消費型デジタル機器（PC/タブレット/スマートフォンなど）
- ・センシング・デバイス（ウェアラブル機器/M2Mなど）

コンテンツ消費型デジタル機器は超コモディティ化が進むため、低価格化に対応する必要がある、センシング・デバイスは低価格化に加え、省電力化、小型・軽量化、無線技術、低ノイズ化の技術確立が必要である。

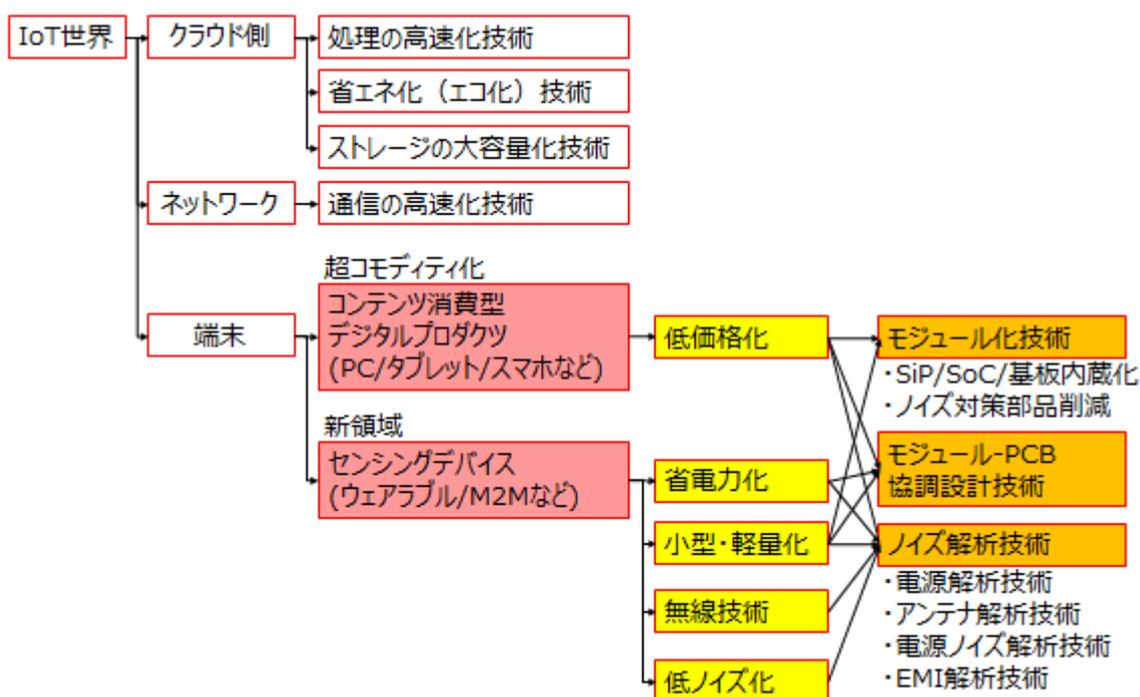


図 1.4.6 デジタル機器およびモジュールの開発に必要な技術

さらにこれらを e-モジュールとして実現するには、図 1.4.7 に示すように、市場状況やデジタル機器の開発状況など様々な環境変化により e-モジュールが取り込む領域がリアルタイムに変化されるのを考慮しながらダイナミックに設計変更できる「①モジュール化技術」、その環境変化に応じて対応可能な「②モジュール-PCB 協調設計技術」、そして e-モジュールおよびデジタル機器としてくみ上げたときにそれぞれの性能が保たれるか検証するための「③ノイズ解析技術」が必要となる。

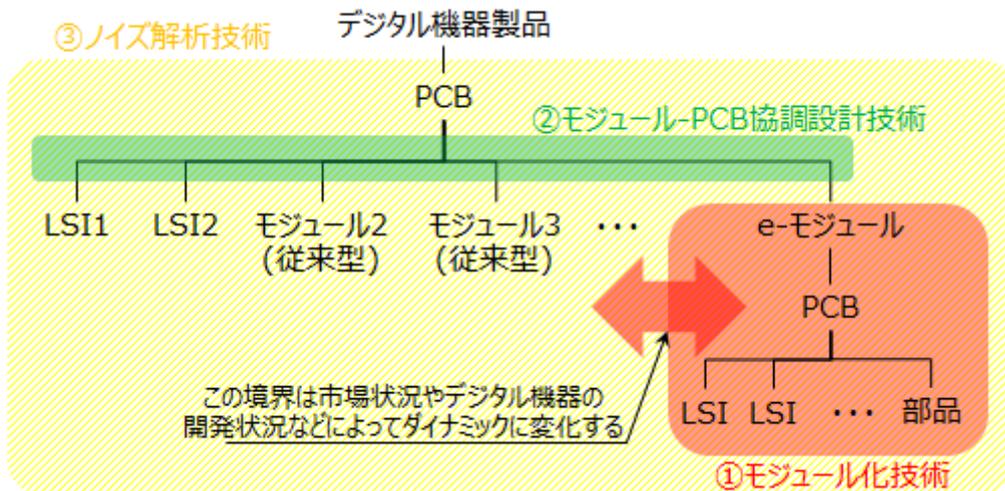


図 1.4.7 e-モジュール開発に必要な技術

エコシステムを形成するモジュール(e-モジュール)を実現するためには、以下の課題を解決する必要がある。

- ① 従来の LSI、パッケージ、PCB がそれぞれ独立した 2.5D 構造データを用いて個別に最適化設計をしていたため、部品点数(電源対策用コンデンサ、EMI 対策用コンデンサなどの数)が多くなり、PCB 基板サイズが大きくなるという課題があった。
- ② 製品全体の設計データが共有化されていないため、製品設計の一部変更に対して柔軟に対応できず、下流の設計での変更が多くなり、設計期間が長くなるという課題があった。
- ③ 従来の LSI、パッケージ、PCB がそれぞれ独立した解析モデルでは精度が不十分なため、過剰な設計により、部品点数が多くなり、PCB 基板サイズが大きくなるという課題があった。

1.5 本論文の目的

本論文は、競争力の高い e-モジュールの開発環境を構築することを目的とし、1.4 章でまとめた課題に対して以下の目標を設定した。

- ①エコシステムを形成するモジュール(e-モジュール)の協調設計環境の構築
- ②製品レベルの協調設計を可能にする設計スキームの提案
- ③協調設計を可能にする高精度解析モデルの構築方法の提案

以上の 3 点が達成できれば、デジタルモバイル機器に用いられるモジュールの協調設計環境が構築でき、市場動向や開発状況、調達先や製造依頼先の変更に伴い発生する設計変更等にダイナミックに対応し、設計時間を短縮できる。さらに、消費電力、サイズ・重量、ノイズ、価格を従来に比べて大幅に削減することができる。

第 2 章以下では、上記 3 点の詳細を述べる。

第 2 章では「e-モジュール協調設計環境」の構築手法について述べる。本設計手法では、モジュールの構造、構成する部品、配線パターン、実装方法等を部品の調達先や製造委託先の変更に応じて短期間で最適なものに調整する方法を示す。具体的には、①3D 構造の CAD データ化、②LSI 内部の動作を考慮した部品モデル化と統合解析による設計の確認、③最適化アルゴリズムによる設計変更、を繰り返し行い、品質を維持しつつ部品点数を削減し部品コストとモジュールサイズを最小にする設計環境を提案する。特に、新たに着想にもとづく、統合解析と遺伝的アルゴリズムの組み合わせによる最適化設計について述べる。

第 3 章では「製品レベルの協調設計」の実現方法について述べる。従来のデジタル機器設計では、PDM/PLM と呼ばれる製品情報管理システムによって、部品や PCB 基板ごとに CAD データを含む設計データや仕様等が共有化され、その資産を様々な解析等に利活用し設計を高度化させてきた。ところが、機器の高機能化、高速化、LSI の低電圧化に伴い、LSI 内部配線、プリント基板のパターン、モジュール構造を個々に最適化した後に組み合わせを行っても、製品全体の電源品質や信号伝達品質を十分に保てなくなるという問題点があった。そこでデータの共有化やシミュレーション連携に加え、製品全体の構想設計の段階から、各部分の「仮想設計データ」を過去の設計ライブラリから構築し当てはめる手法を考案し、構想段階から製品レベルの協調設計を可能にする設計スキームを提案する。

第 4 章は協調設計の核となる「高精度解析モデル」の構築方法について述べる。ノイズ対策では電源とグラウンド間のインピーダンスの高精度な設計が必要になる。最近の高性能 LSI での電源設計では LSI の内部の配線構造も考慮して数値解析で正確なインピーダンス値を得る必要がある。しかし解析モデルを LSI の設計データから構築するのは一般的に困難であり、現在は簡単な等価回路で解析を行っている。この問題を解決するため PCB に実装された LSI の電源インピーダンスを反射係数計測により求めたうえで、解析により求めた PCB の寄生成分を除去することで LSI 解析モデルを高精度に抽出する手法を考案し、100MHz 以上までに対応できる解析モデルの構築に成功した事例を示す。

第 5 章は上述の設計技術の適用事例と将来展開について述べる。適用事例として近距離無線転送モジュール（TransferJet™）の開発事例について述べ、将来展開として、現在課題となっている配線等にグラフェンなど新材料を用いた場合のデジタル機器での仮想設計とその効果について述べる。

以上のデジタル機器開発環境の構築により、今後のデジタル機器の高性能化および小型化等に貢献することを目指す。

2. エコシステムを形成するモジュール(e-モジュール)の 協調設計環境の構築

コンテンツ消費型デジタル機器は超コモディティ化が進み、設計・製造する機器メーカーは市場規模や成長率の大きい新興国へ移行するため、今後国内製造業が着目すべき一つはモジュール・ビジネスであると述べた。さらに、モジュール・ビジネスを成功させるには、世界中の部品を寄せ集め、無数の組み合わせから、機能に加えて部品の調達やコスト、製造依頼先や加工フローなども関連付けたまとまりの「エコシステムを形成するモジュール(e-モジュール)」を作り出すことが重要であることが分かった。本章では、このモジュールを作り出すのに必要な設計環境について検討する。

一般に機器メーカーが先端 LSI を使用する場合、性能を保ちながら対策コストを上げずノイズ抑制した設計を行なうのは困難である。そこで、LSI を供給する側がノイズ対策を施し周辺回路を含めたモジュールを提供することができれば、機器メーカーは難しい設計をすることなくすぐに扱うことが可能となり、さらに基板の小型化や低コスト化も図れる。例えば、**図 2.0.1**のように低背・小型部品の採用、極薄の IC 内蔵基板、極薄シールド設計、高周波電気特性と大きさのトレードオフ設計といった対策を行ないモジュール化すると、**第 5 章**で取り上げる無線モジュールの例では基板の実装面積を約 64%削減することができる(**図 2.0.2**) [14]。さらにモジュール内部ですでに RF マッチングやノイズ対策を行っているので、機器メーカーはモジュールを搭載するだけでよくなる。

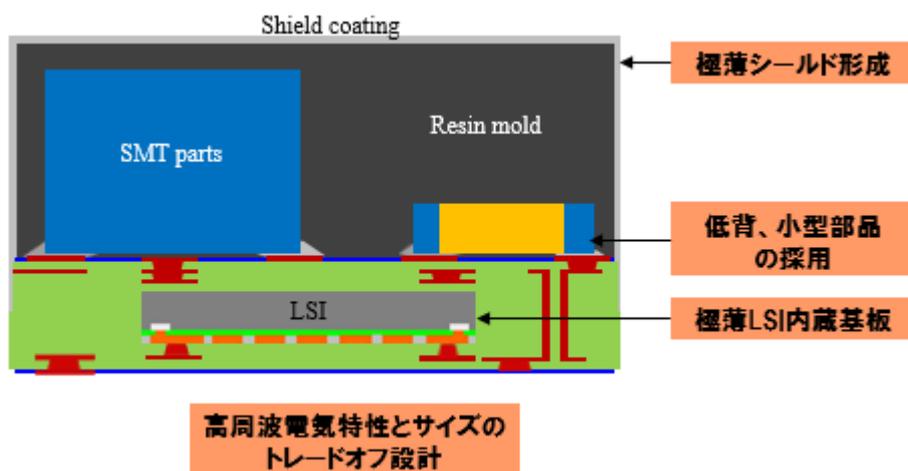


図 2.0.1 モジュール化での対策ポイント

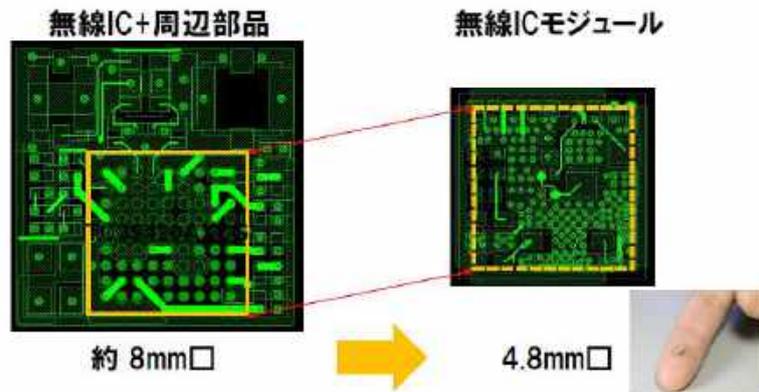


図 2.0.2 モジュール化による小型化

以上のような 3D 構造を実現しつつ、サイズおよびコストを最小にするモジュールを実現するには、図 2.0.3 に示す通り、集積化技術、LSI 内部を考慮した設計、冗長(マージン)部分を最小化することが重要となる。これらを、部品の調達先や製造委託先の変更に応じて短期間で、モジュールの構造、構成する部品、配線パターン、実装方法等を決定するためには、

- ① 3D 構造の LSI-パッケージ-PCB (LPB) 統合モデル化
- ② 統合モデルを活用した LPB 統合解析
- ③ 統合解析と遺伝的アルゴリズムの組み合わせによる最適化設計

を繰り返し行い、品質を維持しつつ部品点数を削減し部品コストとモジュールサイズを最小にする設計環境を構築する必要がある。

	【無線IC+周辺部品】	【無線ICモジュール】	新規開発技術
			
	面積64%削減		
集積化技術	2D構造	3D構造	①3D構造のLPB統合モデル化(CAD)
LSI内部を考慮した設計手法	LSI内部配線情報なし	LSI内部配線情報考慮	②LPB統合解析(CAD→Sim)
冗長部分	多い LSIの budget PKGの budget PCBの budget	少ない LSIの budget PKGの budget PCBの budget	③最適化設計(Sim→CAD)

図 2.0.3 モジュール化における新規開発技術

2.1 新規 3D 構造記述フォーマットによる LSI-パッケージ-PCB (LPB) 統合モデル化

従来は水平分業の設計が主流であったため、一般に、LSI、パッケージ、PCB の各設計はそれぞれ独立して行なわれ、CAD 設計ツールも別々のものが用いられていたため、各設計間ではデータの互換性がないことが多かった。そのため、LSI、パッケージ、PCB の各 CAD データを取り込んで統合モデルで設計検証するのは困難であったが、特にその必要性も薄く、問題になることも少なかった。

しかし、3D 構造のモジュール設計が必要になってくると、LSI、パッケージ、PCB の配置関係や配線の引き回しなどを協調しながら設計しなければならなくなる。このため、必要に応じて、瞬時に各 CAD データを取り込み、LSI-パッケージ-PCB (LPB) を統合モデル化して検証できる環境が必要になる。

そこで、各 CAD データのデータ構造を分析し共通フォーマットに変換できるようにし、さらに図 2.1.2 のような LSI、パッケージ、PCB の端子情報を抽出し電氣的に接続される端子同士の座標を合わせる機能を開発した。これにより LSI、パッケージ、PCB の各 CAD 情報を取り込んで、図 2.1.1 のように素早く 3D 構造の LPB 統合モデルを作成し、統合解析できる環境の構築に成功した。

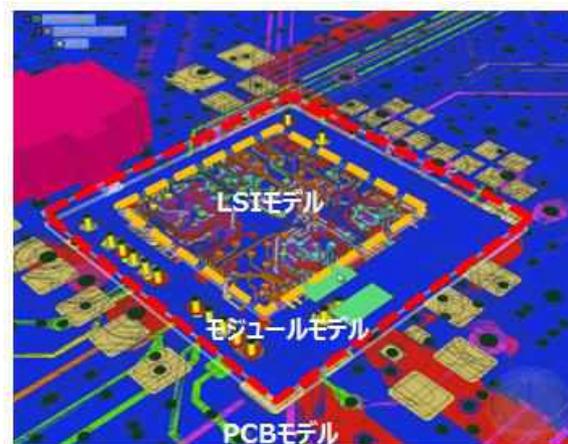


図 2.1.1 3D 構造の統合モデル環境

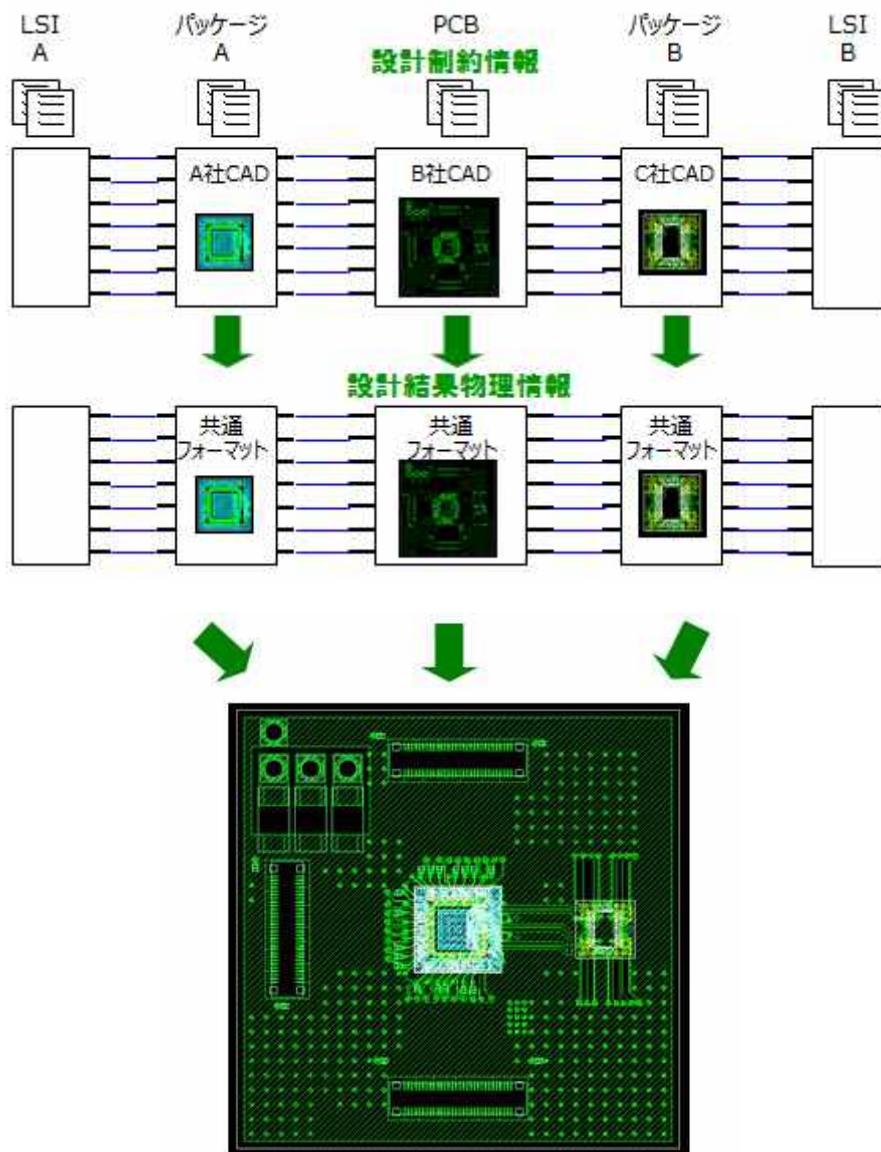


図 2.1.2 LSI、パッケージ、PCB 各端子の座標合わせ機能

2.2 統合モデル活用による LPB 統合解析の実現

LSI 内部を考慮した設計を実現するためには、前章で構築した 3D 構造の LPB 統合モデルを用いて、LSI 内部情報を使った LPB 統合解析 (CAD→Simulation) が必要となる。具体的には、信号品質 (Signal Integrity : SI) では、LSI→再配線/パッケージ→モジュール内部 (PCB)→モジュール端子まで 3D 構造で構成される伝送線路を、全て 50Ω で整合した設計を行わなければならない。また電源品質 (Power Integrity : PI) は LSI から発生する電源ノイズが 3D 構造上をどのように伝播するか調べ、実装するデジタル機器へ影響を与えないように設計を行わなければならない。このためには素早く 3D 構造の LPB 統合モデル化と解析を繰り返して品質を上げる LPB 統合解析の実現が重要となる。

2.2.1 信号品質 (Signal Integrity : SI)

LSI の Die 端子からモジュール端までの信号経路は図 2.2.1 に示すように

A : LSI の Die 端子から LSI 再配線層を経て再配線端

B : 再配線端から内層配線、VIA を経て表層配線

C : 表層配線および実装部品

D : VIA を経てモジュール端

を通ることになる。

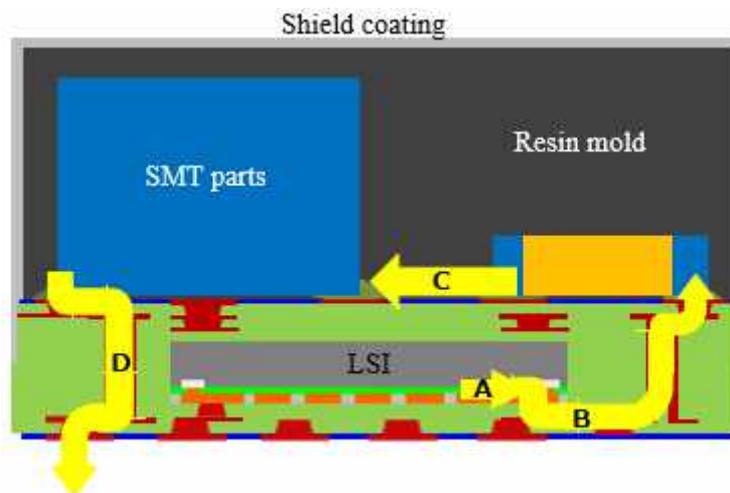
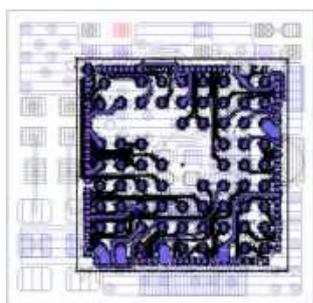


図 2.2.1 モジュール内の LSI 端子からモジュール端までの信号経路

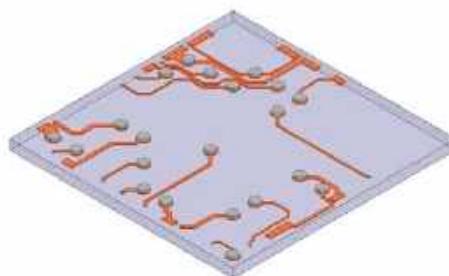
A に関しては、図 2.2.2 に示すように再配線層を 3D モデル化し、LSI の Die 端子と再配線端にポートを立て S パラメータを算出する。B, D に関しては、図 2.2.3 に示すように VIA を 3D モデル化し、RLGC を抽出する。ここで注意する点は信号の動作周波数での RLGC 値を算

出ることである。C に関しては表層を 50Ω で配線するために配線幅を調整する必要がある。

以上、A→B→C→D 毎に S パラメータあるいは RLGC 値を算出し、受動部品の定格を入れて回路解析を実施し、Die 端からモジュール端までの信号波形に乱れが生じないことを確認する。



(1) 再配線層



(2) 再配線層を 3D モデル化

図 2.2.2 モジュール内の LSI 再配線層 3D モデル化

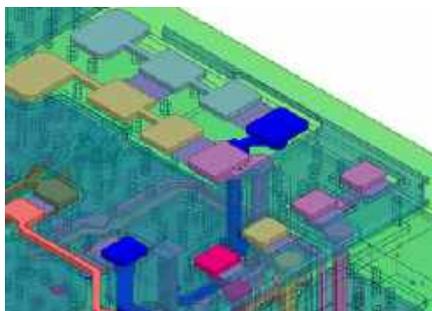


図 2.2.3 モジュール内の VIA 形状 3D モデル化

2.2.2 電源品質 (Power Integrity : PI)

電源品質を確保するためには以下 2 つの取り組みが重要である。一つ目は想定される周波数のノイズが仮にモジュール全般に伝わっても共振現象を起こさせないこと、もう一つはそもそもノイズを発生させないことである。前者は静的な共振解析によって対策ができ、後者は動的なノイズ伝播解析によって対策することができる。

(1) 静的な共振解析

3D 構造モデル化を用いて共振解析(固有値解析)を実施し、不要な共振モードがないか確認する。特に、無線動作周波数や高速 I/F の高調波周波数にて共振モードが発生しないように気をつける必要がある。図 2.2.4 は無線動作周波数 4.5GHz の 2 倍高調波である 9GHz で共振していた事例である。この共振する構造体がモジュール内に存在すると、LSI から出力される信号のエネルギーがこの構造体によって共振し、デジタル機器にノイズとして伝播したり、EMI として放射されることになる。この場合、共振しない配線長に変更するか、電源ラインであればコンデンサ(パスコン)を配置して共振周波数を変えるなどの対策が必要になる。

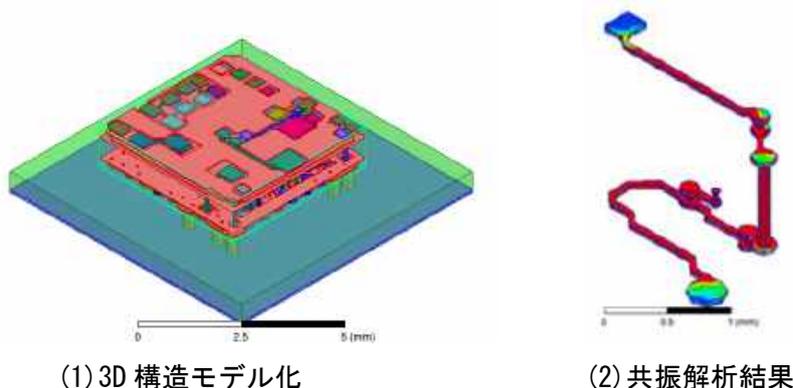


図 2.2.4 モジュール内の共振解析検証

(2) 動的なノイズ伝播解析

ノイズ伝播解析で重要なことはノイズ源を正確に定義することである。例えば図 2.2.5 のように Die 中のアナログ部分であるコイルからノイズが出易いのであれば、図 2.2.6 に示すようにその部分にノイズ源を設定し、ノイズ伝播解析を実施する。ノイズ伝播解析結果の一例を図 2.2.7 に示す。仮に実装する電子機器へ影響を与えるほどノイズが伝播している場合は、3D 構造モデル化の修正と LPB 統合解析を繰り返して品質を上げる。

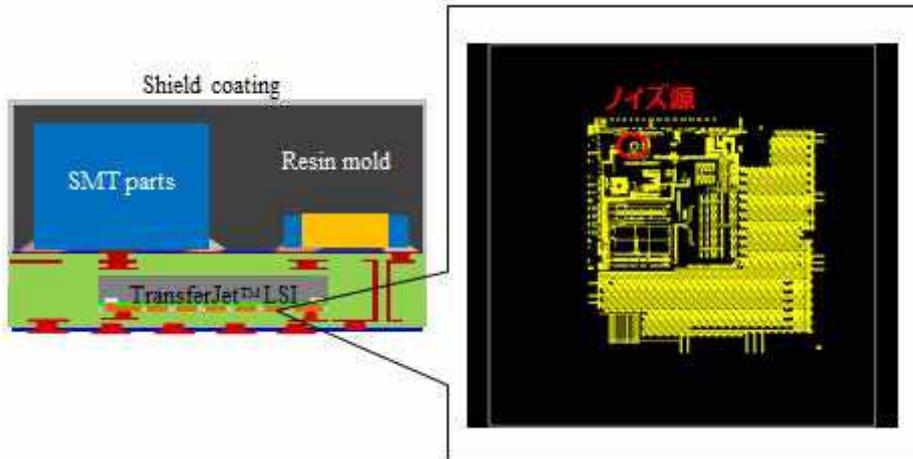


図 2.2.5 モジュール内のノイズ源

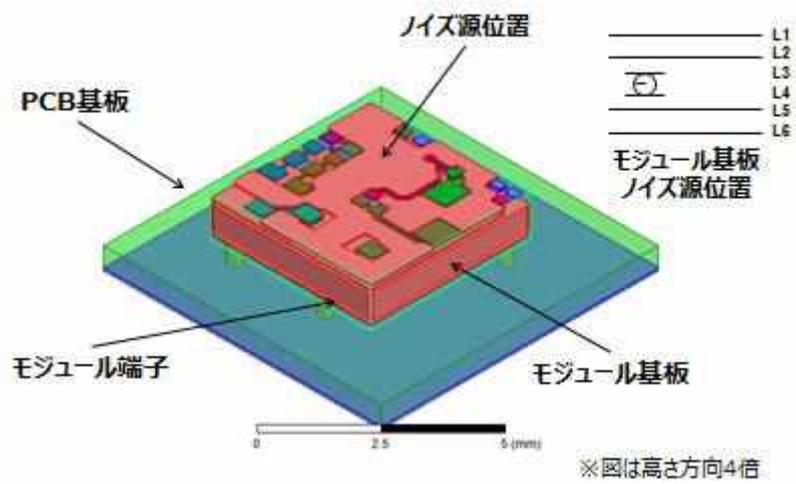


図 2.2.6 ノイズ源を設定し統合解析モデル

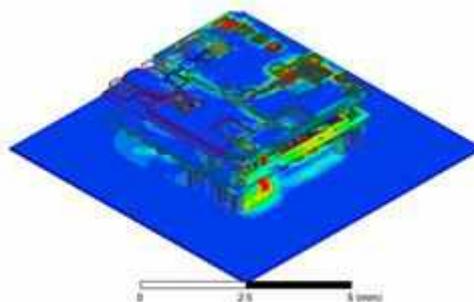


図 2.2.7 ノイズ伝播解析結果事例

2.3 統合解析と遺伝的アルゴリズムの組み合わせによる最適化設計の具体例

品質を維持しつつ部品点数を削減し、部品コストとモジュールサイズを最小にするためには、前章で構築した統合解析を繰り返し、最適な設計値を求める必要がある。それに対して、従来の設計は、設計者の経験と勘で、設計変更できる範囲内でパラメータを振って解析を行ない、最適解へ近づける手法が多く取られていた。しかし、3D モジュール構造になるとパラメータが多くなり、解析しなければならない回数が指数関数的に増え、これまでの力技の手法では最適解を求めるのは極めて困難になった。

そこで、図 2.3.1 に示す、遺伝的アルゴリズムを用いて統合解析を繰り返し、最短で最適解を探索する最適化設計の環境を構築した。

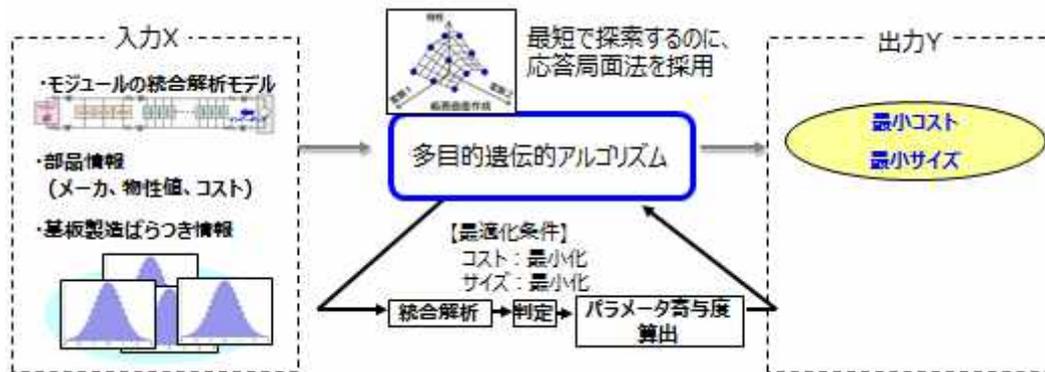


図 2.3.1 統合解析と遺伝的アルゴリズムの組み合わせによる最適化設計環境

本章ではその具体例として、モジュール内の電源供給/安定用コンデンサ(デカップリング・コンデンサ)と EMI 対策用コンデンサ(パスコン)の部品点数最適化(最小化)を示す。

2.3.1 電源供給/安定用コンデンサの最適化(最小化)技術

デジタル機器やLSI搭載モジュールの電源供給/安定用コンデンサは、一般に図2.3.2に示すように大容量コンデンサとデカップリング・コンデンサで構成される。

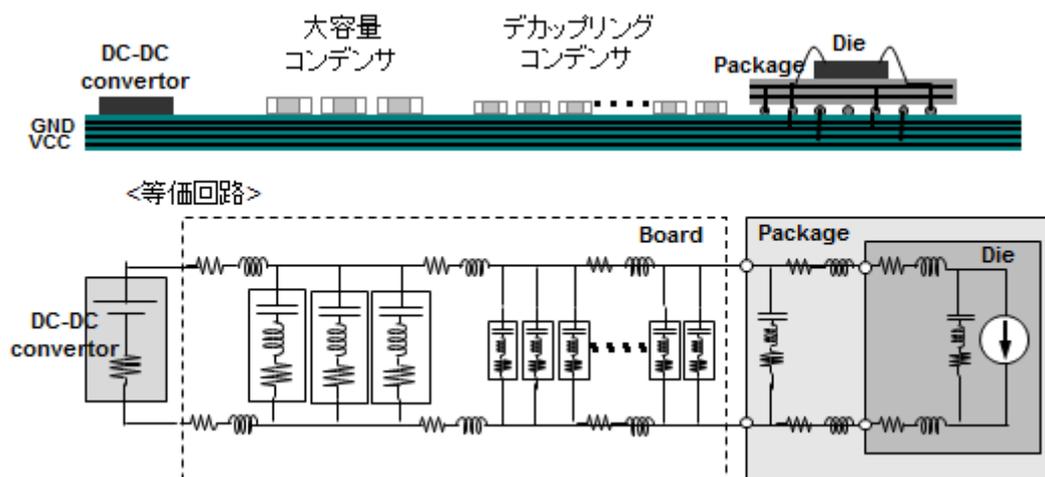


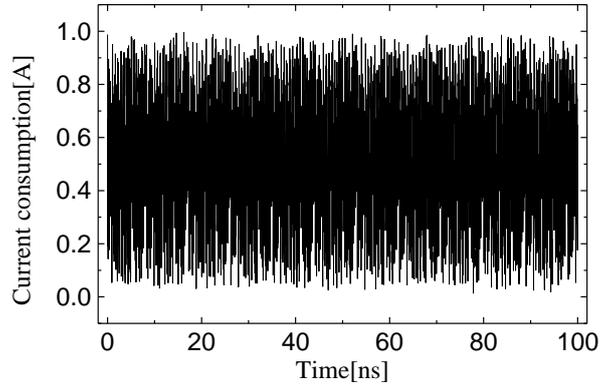
図2.3.2 DC/DCコンバータからLSIへの電源供給図

一般にLSIから見た電源-グランド間インピーダンスは、式(2.1)に示す様に、許容電圧降下(以下は電源電圧値 V_s に対して10%のリプルまで許容の場合)を消費電流 I_c で割ったターゲット・インピーダンス Z_t を下回るように、大容量コンデンサおよびデカップリング・コンデンサを配置する設計を行わなければならない[15]。そこで、これらのコンデンサの最適化(最小化)を目的に、電源-グランド間インピーダンスを効率的に低くするコンデンサの配置方法を検討する。

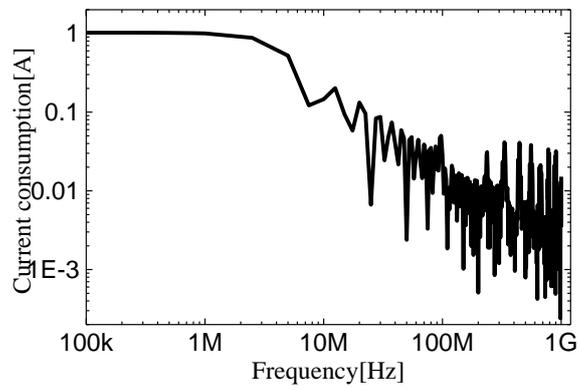
$$Z_t = \frac{V_s \cdot 10\%}{I_c} \quad (2.1)$$

V_s : 電源電圧値、 I_c : 消費電流

ここであるLSIの消費電流波形を図2.3.3に示す。(a)は時間特性、(b)はこれをフーリエ変換した周波数特性である。



(a) 時間特性



(b) 周波数特性

図2.3.3 LSI消費電流波形

これから分かるように I_c は周波数依存性を持っており、 Z_t も式(2.2)で表す通り、周波数依存性を持っている[16-17]。

$$Z_t(f) = \frac{V \cdot 10\%}{I_c(f)} \quad (2.2)$$

式(2.2)から算出した Z_t を図2.3.4に示す。

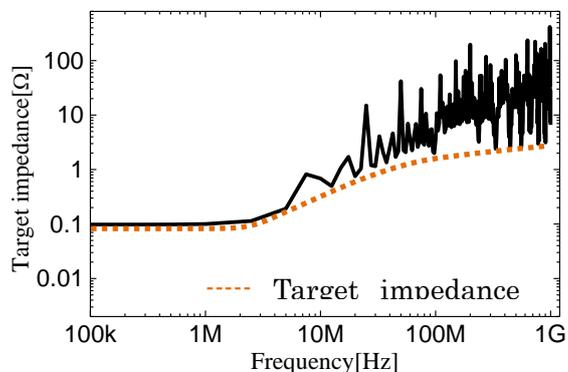


図 2.3.4 ターゲット・インピーダンス Z_t

すなわち電源対策用コンデンサを最適化(最小化)するためには、以下2つの条件を同時に満たす必要がある(図2.3.5)。

- 条件1. 最もコストが安くなる電源対策用コンデンサ(バルク・コンデンサ(大容量)、デカップリング・コンデンサ)の組み合わせ。
- 条件2. LSI から見たインピーダンスが $Z_t(f)$ ラインより低い。

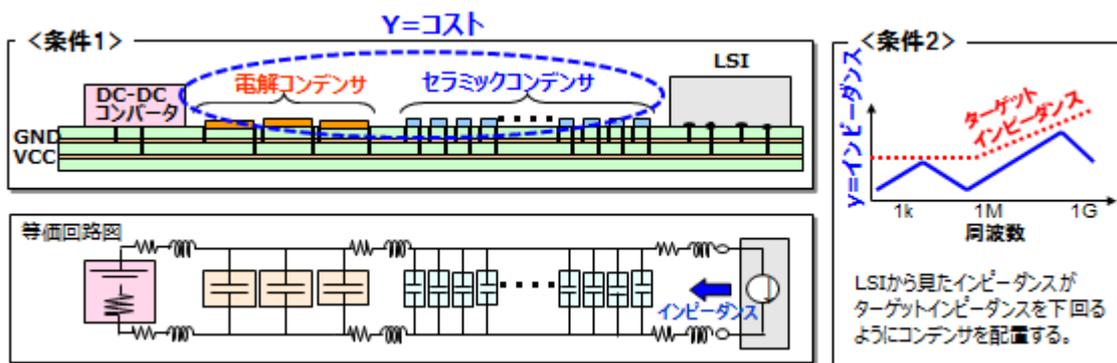


図 2.3.5 電源対策用コンデンサを最適化(最小化)する条件

この課題を解決するために、電源供給/安定用コンデンサの最適化(最小化)技術に、**図 2.3.1**の最適化アルゴリズムを導入したフローを**図 2.3.6**に示す。

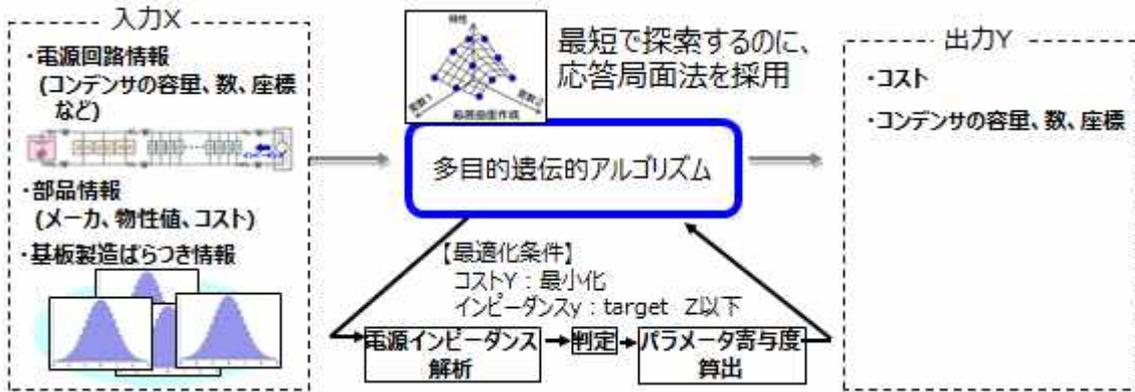


図 2.3.6 電源対策用コンデンサの最適化(最小化)抽出フロー

ここで**図 2.3.6**の入力項目の制御因子は**図 2.3.7**に挙げた以下である。

- ・コンデンサの容量、数、座標
- ・FET の on 抵抗
- ・コイルのインダクタンス値
- ・層構成
- ・LSI のオンチップ容量

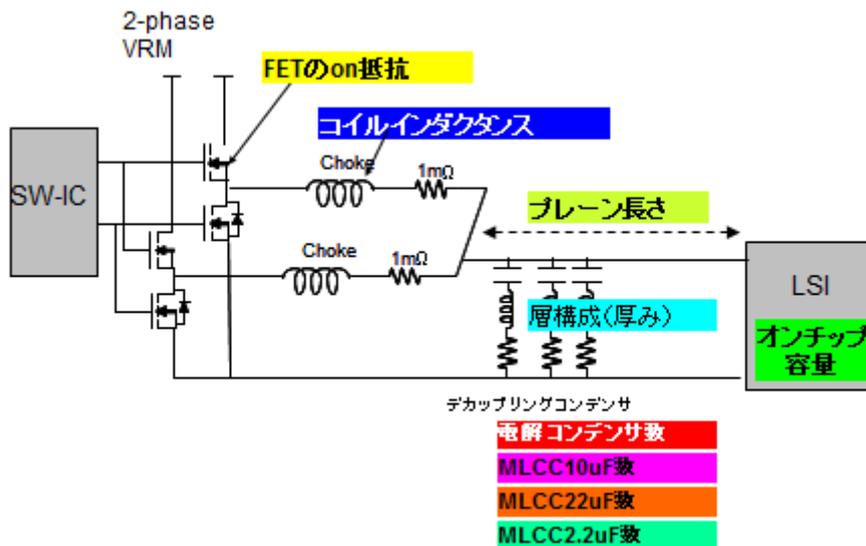


図 2.3.7 電源インピーダンス解析の制御因子

次に、電源インピーダンス解析の最適化アルゴリズムのフローを示す。

(1) 電源-グラウンドインピーダンス解析

遺伝的アルゴリズムにより振られた制御因子の組み合わせによる電源-グラウンドインピーダンス解析を実施する(図 2.3.8)。

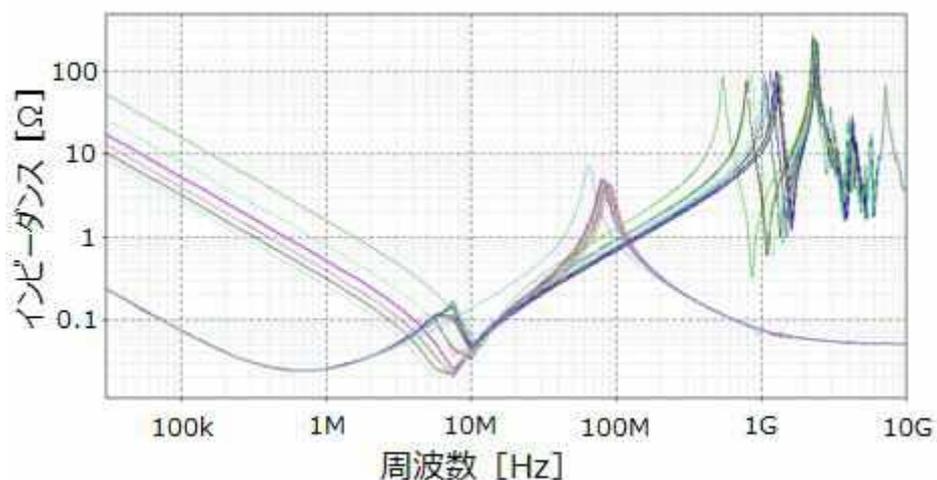


図 2.3.8 様々な組み合わせの電源-グラウンドインピーダンス解析結果

(2) 有意な差を持つ制御因子の抽出

図 2.3.8 の結果から、各周波数(図 2.3.9 は 100kHz、1MHz、10MHz、100MHz、1GHz、10GHz の場合)に対して、どの制御因子が有意な差 (p 値 < 0.05) を持つのか調べる。図 2.3.10 は 1MHz の時の p 値を調べた結果である。電解コンデンサおよびセラミックコンデンサの p 値が 0.05 以下になっており、これらの制御因子が 1MHz のインピーダンス値を決定していることになる。また標準化効果がマイナスに振れていることから、これらのコンデンサがあればあるほどインピーダンス値を下げるのに有効であることが分かる。

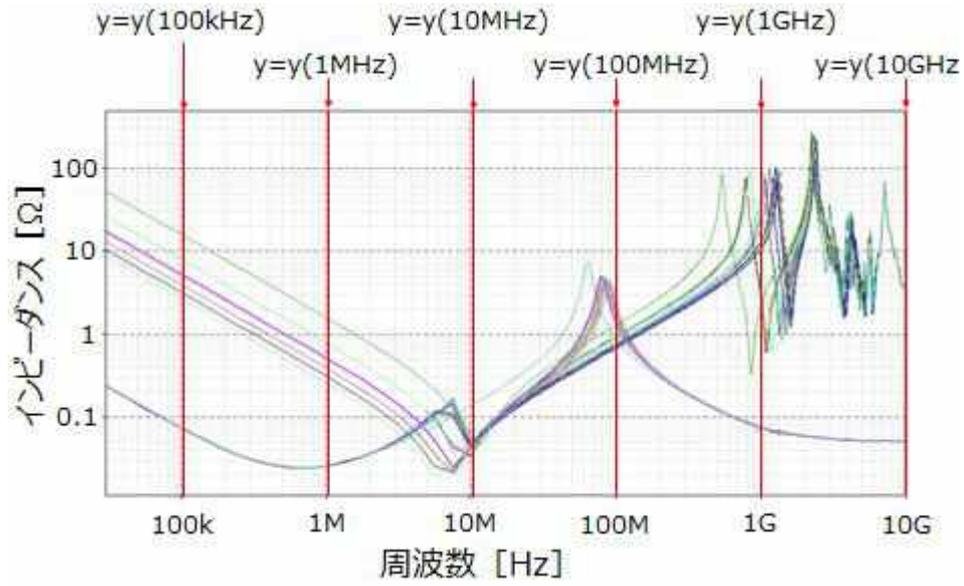


図 2.3.9 各周波数に対して有意な差を持つ制御因子の調査

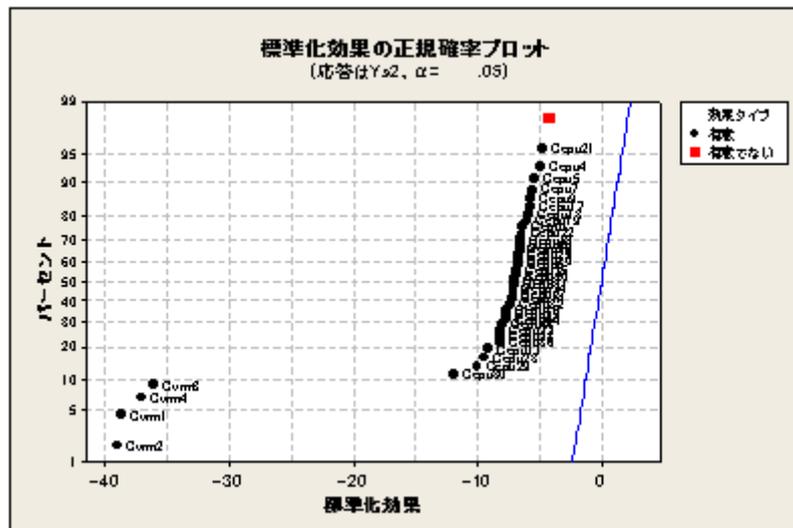


図 2.3.10 1MHz の時の p 値 (0.05 以下)

(3) 制御因子の寄与度算出

各周波数に対して有意(p 値 0.05 以下)な制御因子を抽出し、**図 2.3.11** に示すように各制御因子のインピーダンス値に対する寄与度を算出する。

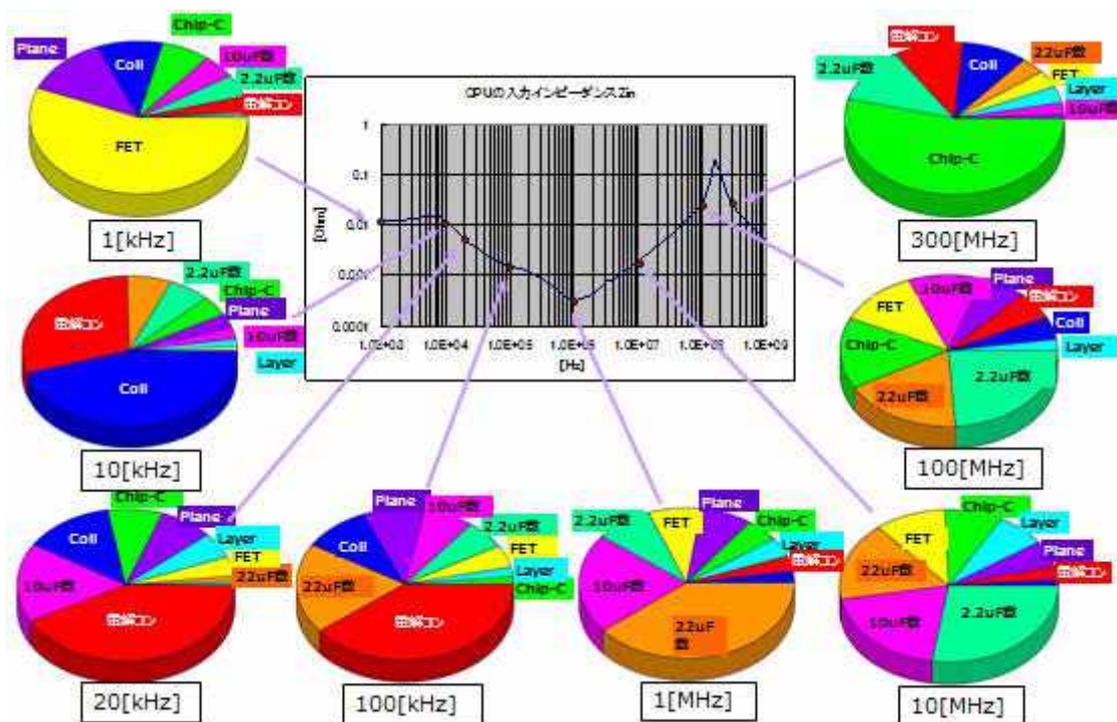


図 2.3.11 各周波数のインピーダンス値に対する各制御因子の寄与度

(4) 最適制御因子の組み合わせ抽出

各周波数のインピーダンス値に対する各制御因子の寄与度を基に、条件1(コスト最小化)および条件2(ターゲット・インピーダンス以下)を満たす制御因子の組み合わせを抽出し、実装すべきコンデンサの容量、数、座標を算出する。**図 2.3.12** は制御因子の組み合わせから条件2を満たす組み合わせを青字で示し、その中から条件1を満たす組み合わせを赤枠で囲った例である。横軸はコンデンサの座標(座標値は別に持っている)、縦軸はコンデンサの組み合わせ、表の中の数字がコンデンサの容量、数(0は実装しないの意)を表している。

Case	Caps																																				y (100k-1MHz)	Y Cost		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36				
1	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00366	75.4
2	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00366	75.4
3	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00441	75.4
4	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00450	75.6
5	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00440	75.6
6	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00586	75.6
7	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00440	75.6
8	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00443	75.6
9	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00622	75.6
10	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00449	75.6
11	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00440	75.6
12	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00367	74.6
13	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00373	74.6
14	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00367	74.6
15	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00380	75.4
16	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00337	75.6
17	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00331	76.2
18	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00365	76.2
19	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00447	76.4
20	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00608	76.8
21	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00608	76.8
22	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00451	75.6
23	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00359	75.4
24	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00353	75.4
25	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00358	77.2
26	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00441	57.2
27	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00591	36.6
28	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00913	16.8
29	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00911	16.8
30	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00577	37.4
31	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00588	36.6
32	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00608	36.6
33	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00609	35.8
34	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00434	36.6
35	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00370	75.4
36	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00441	55.6
37	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00450	55.6
38	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00362	75.4
39	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00444	55.6
40	390	0	390	0	10	0	10	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	10	0	0	0	0	0.00740	0
41	192	192	192	192	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0.00285	75.8	

図 2.3.12 最適なコンデンサの容量、数、座標の抽出

以上より、統計学の最適化アルゴリズムを導入した(1)~(4)を実施することにより、電源対策用コンデンサを最適化(最小化)することを実現した。図 2.3.11 の例では、本手法を用いることで、

- 390uF の電解コンデンサ 4 個→ 3 個 (25%削減)
- 10uF のセラミックコンデンサ 36 個→16 個 (56%削減)

の実装で同等の電源安定化が可能となった。

2.3.2 EMI 対策用コンデンサ(パスコン)の最適化(最小化)技術

電子機器やモジュールから出る EMI を抑制する設計方法として、図 2.3.13 に示すフローの通り、各電源プレーン形状の共振解析(固有値解析)を実施し、共振の腹(共振点)に EMI 対策用コンデンサ(パスコン)を配置するのが一般的である。これにより、EMI 規格を満たすよう共振周波数を高周波へシフトさせることができる。しかし従来は、高周波(例えば DC ~2GHz)までの全ての共振点にパスコンを配置していたため、図 2.3.14 に示すように多数のパスコンを配置する必要があった。

そこで、EMI 対策用コンデンサの最適化(最小化)を目的に、図 2.3.13 の③および④についてそれぞれ効果的にパスコンを配置する方法を検討する。

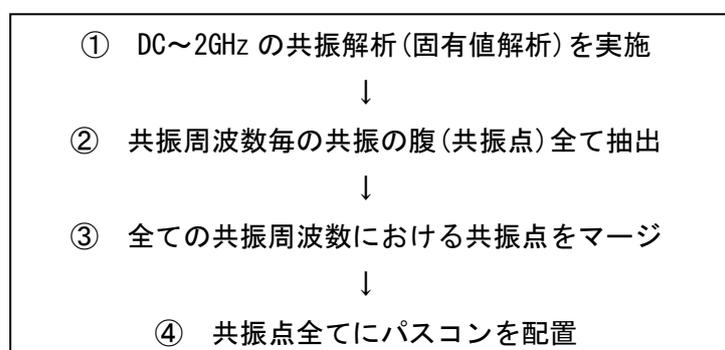


図 2.3.13 パスコン配置フロー

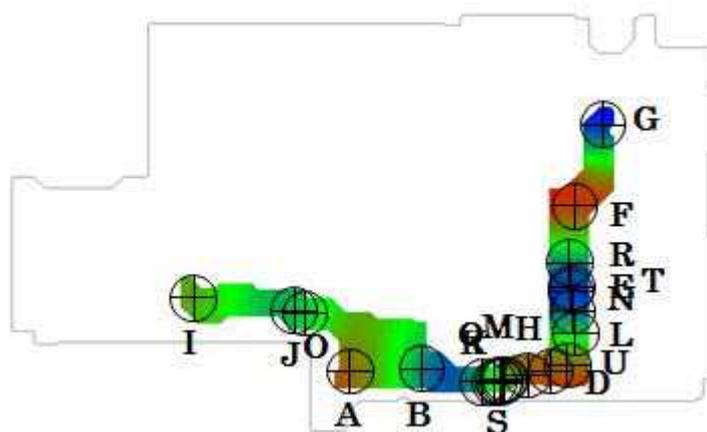


図2.3.14 従来のパスコン配置手法による過剰パスコン配置事例

(1) 全共振周波数の共振点マージの効率化

図2.3.13の③において、全共振周波数の共振点をマージすると図2.3.14のように共振周波数は異なるがほぼ同じ場所に多数の共振点が存在することになる。そこで共振点をマージする際、一つのパソコン配置で効率的に複数の共振点を押さえ込む方法について検討する。

共振解析の結果は、図2.3.15のような+1V~-1Vの等高線(等圧線)が電源島毎に生成される。

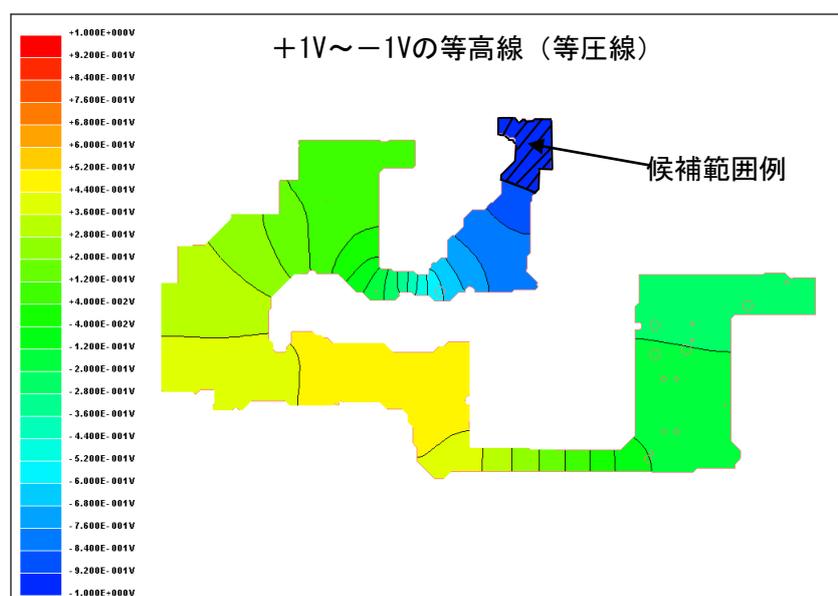


図 2.3.15 共振解析の等高線(等圧線)結果

この結果からさらに精度を高めるため、同電位のノードを接続した線(粗い等高線のイメージ)を引き、例えば±0.8 (パラメータ例) V以上の範囲で第一段階の絞り込みを予め行うことで、計算高速化を図る(図2.3.16)。

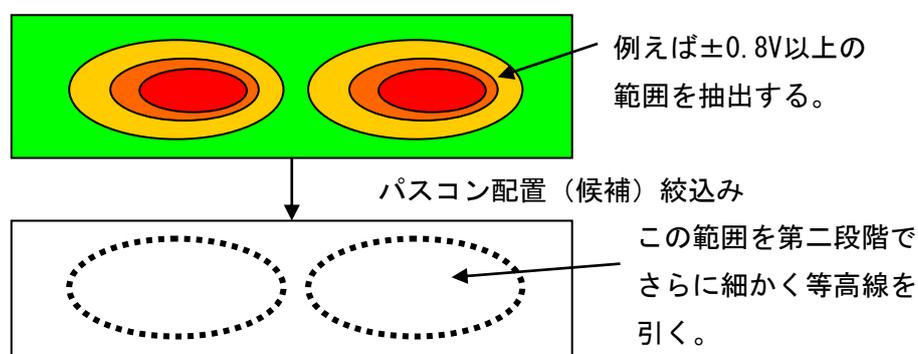


図 2.3.16 パソコン配置位置の絞り込み処理

次に、図 2.3.17 のように第一段階で絞り込んだ範囲を等高線電圧幅 0.01 刻みとし、さらに細かく共振点を絞り込む。

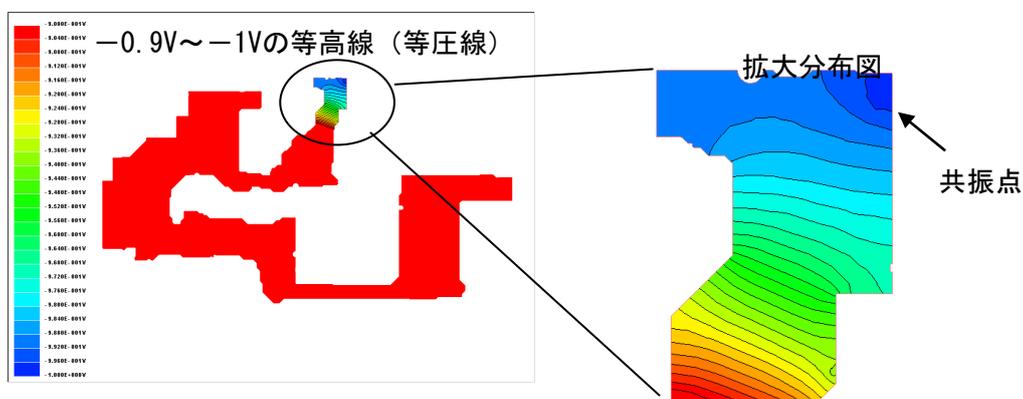


図 2.3.17 パソコン配置位置の絞り込み処理 (2)

パソコン最適配置の自動算出アルゴリズムを以下に示す。図 2.3.18(a) のように電圧値の一番高い等高線のメッシュ交点を候補①から優先順位をつけ、図 (b) のように直径 10mm の円を配置した場合の AND 面積を計算し、面積の一番大きくなるノードを求める。ここで候補点へ順に直径 10mm の円を共振点に置き、外形との AND 領域の面積を求め、AND 面積=円の面積になるまで検索すると理想的な配置となる。(図 (c))

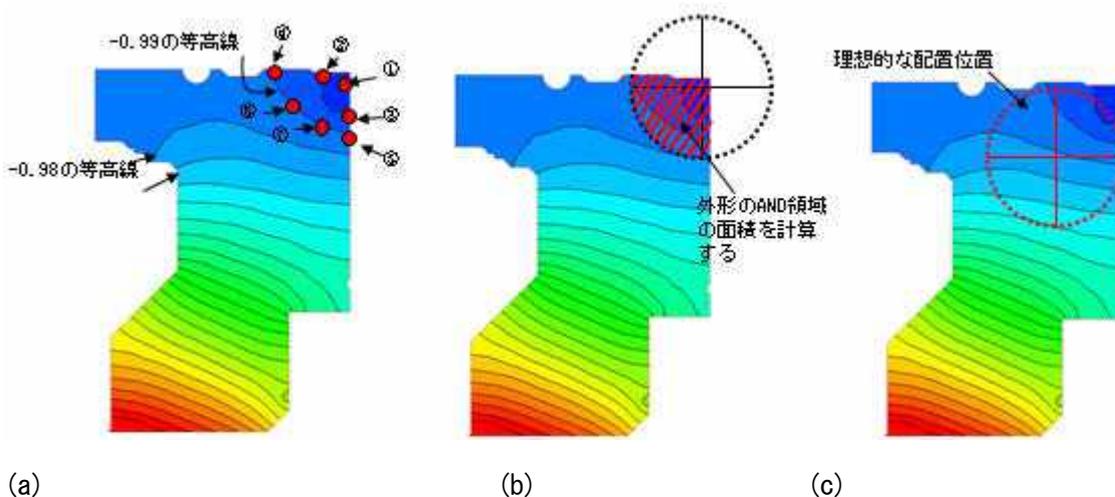


図 2.3.18 パソコン最適配置の自動算出アルゴリズム

また、等高線が長い場合はパソコンが2つ以上配置されるよう外形端から検索をしていく（図2.3.19左）。ただし、下記のように端から検索していきお互いが重なる場合は、お互いの中点をパソコン位置とする（点間の距離が20mm以下）。（図右）

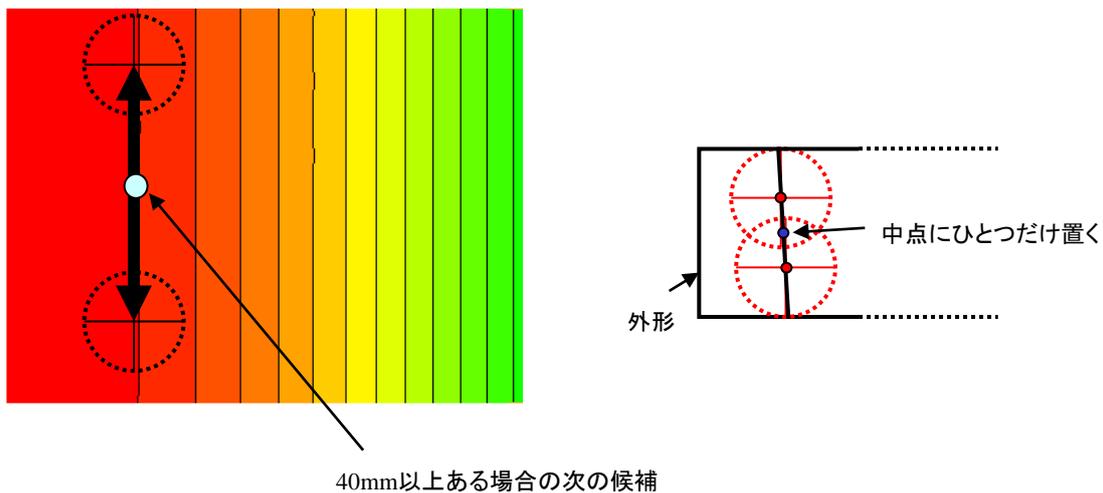


図 2.3.19 パソコン最適配置の自動算出アルゴリズム (2)

一方、図2.3.20のように等高線が変わっても最大面積がほとんど変わらない場合は、より優先順位の高い（共振点に近い）場所を選択する。

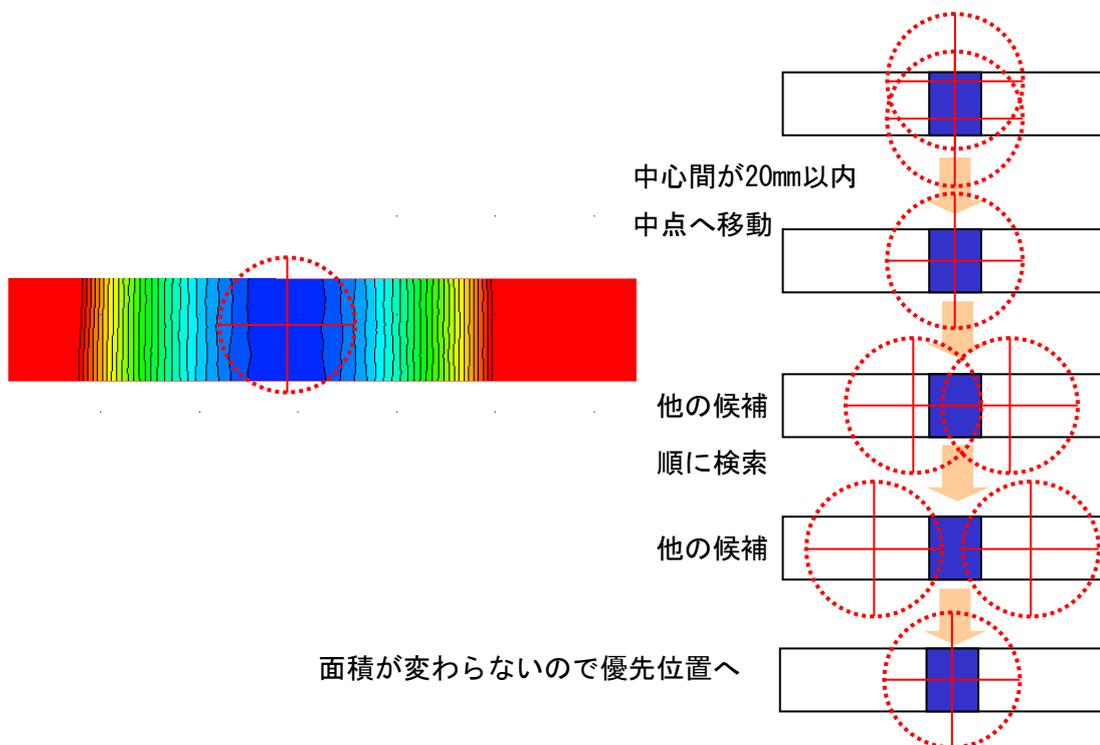


図 2.3.20 パソコン最適配置の自動算出アルゴリズム (3)

次に、共振周波数毎に共振点を算出するため、異なる共振周波数や共振モードでも共振点が重なる場合がある。それを防ぐために、以下のアルゴリズムでパスコンの間引き処理を実施する。以下の図 2.3.21 のように高い周波数（上限周波数がスタート）から処理を開始し、異モードでのパスコン位置が近傍にあり、中心間が 20mm 以内の場合は間引き処理を行なう。具体的には下図の例をとると、5箇所の中でどの位置が第一段階範囲（±0.8V 範囲）を網羅しているか面積を計算する。ただし、低周波の第一段階範囲の係数を高くし、より低周波の範囲を網羅しているパスコン位置を最終的に選択するアルゴリズムとする。重み付けの係数はパラメータ指定できるようにする。

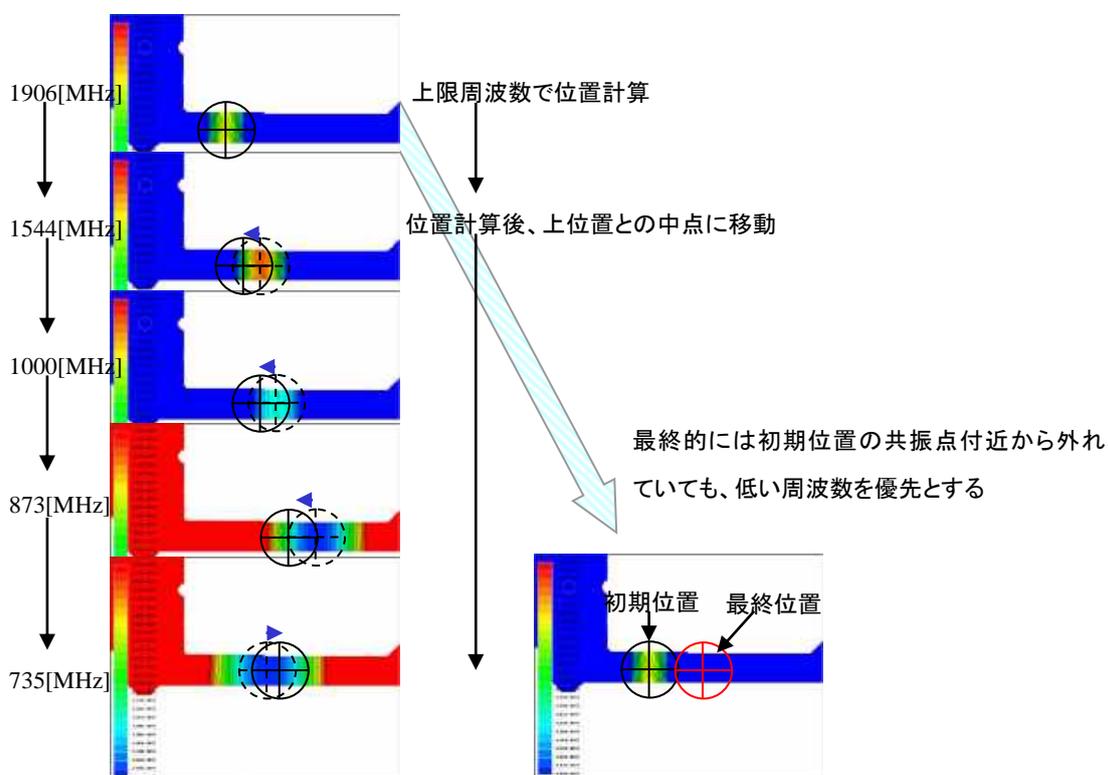


図 2.3.21 パスコンの間引き処理アルゴリズム

以上により、プレーン形状毎の固有値解析後、パスコン最適配置を自動で決定することが可能となる。

ある基板データの一電源プレーンを用いて上記アルゴリズムでパスコンが自動配置できるか検証した結果を以下に示す。ある共振モードの時の共振結果を図 2.3.22 に示す。この時の共振点 A、B、C を、暫定的にパスコン最適配置として決定する。

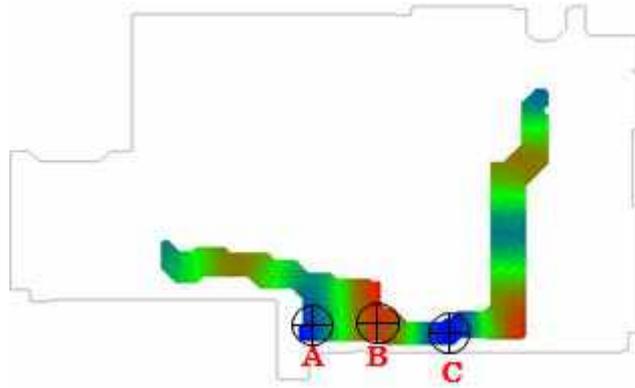


図 2.3.22 モード①の共振結果

別の共振モード②を図 2.3.23 に示す。この時、新たに共振点となるのが、D, E, F, G である。しかし、C と D は共振点が近いため一箇所にまとめ H とする。

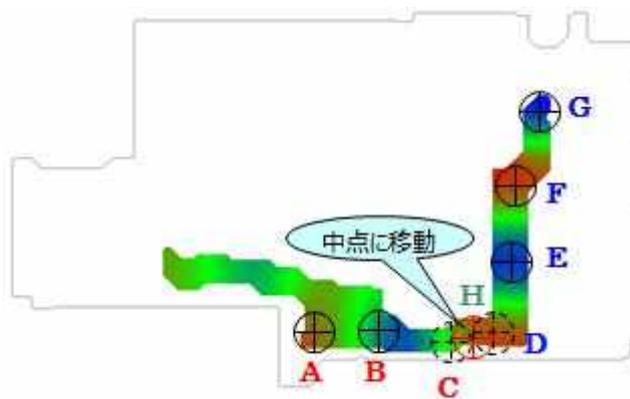


図 2.3.23 モード②の共振結果

モード③の共振結果を図 2.3.24 に示す。新たな共振点が I, J, K, L である。ここでも同様に、H と K、E と L の共振点が近いため中心点 M, N として置き換える。

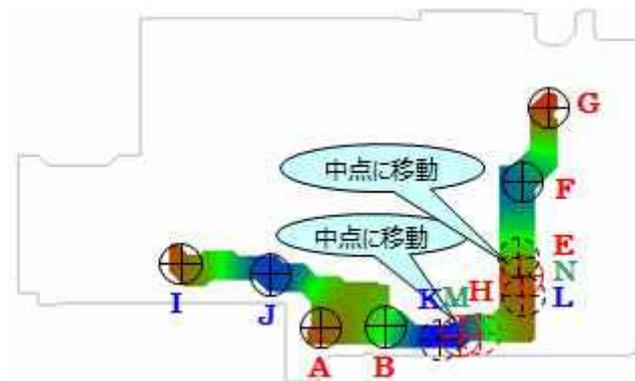


図 2.3.24 モード③の共振結果

以下、同様のアルゴリズムで 2GHz 以下の共振モード全ての解析を実施し、共振点を決定していく。図 2.3.28、図 2.3.29 では別の共振モードで全く同じ場所が共振点として既に決定されているため、新たな追加がされていない。

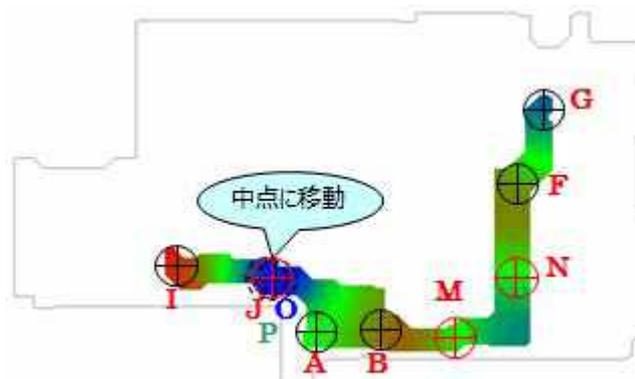


図 2.3.25 モード④の共振結果

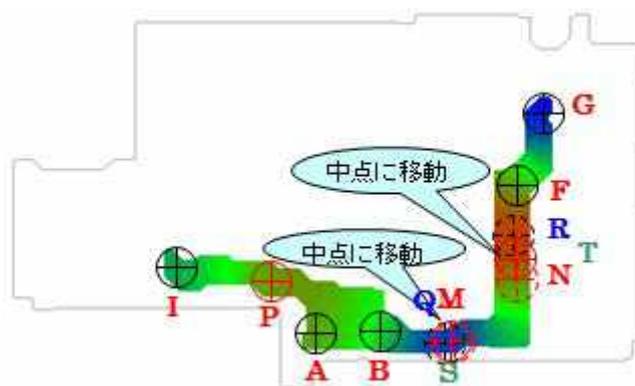


図 2.3.26 モード⑤の共振結果



図 2.3.27 モード⑥の共振結果

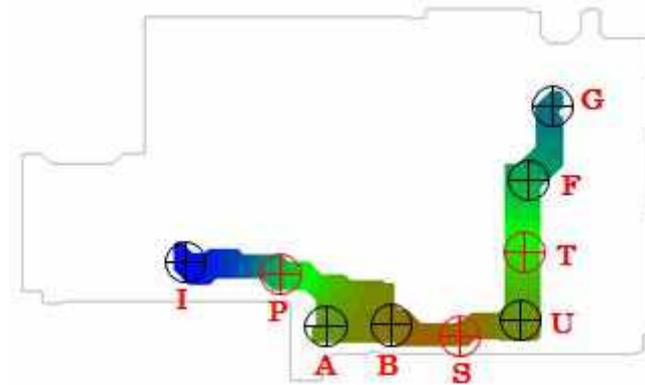


図 2.3.28 モード⑦の共振結果

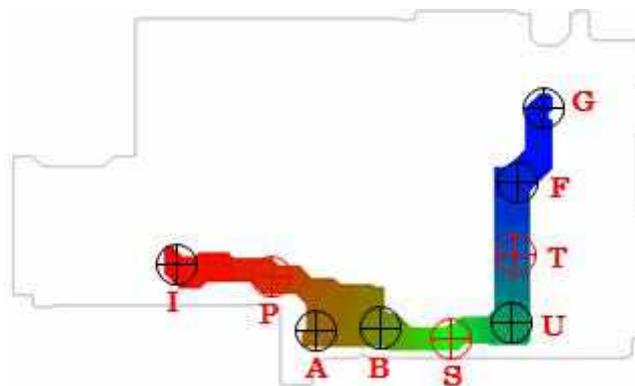


図 2.3.29 モード⑧の共振結果

従来は今回の電源プレーン形状では全共振周波数の共振点(A~U)の計 21 箇所へパソコンを配置する必要があったが、本アルゴリズムを採用することにより、図 2.3.29 の通り A, B, F, G, I, P, S, T, U 計 9 箇所のパソコン配置で同等の EMI 対策効果ができることを確認した。

以上より、「共振解析(固有値解析)」→効率的な「パソコン位置算出」のアルゴリズムを検討し、実際の設計データを用いて検証した結果、57%のパソコンを削減したパソコン最適配置を算出することができた。これにより図 2.3.13③で課題としていた全共振周波数の共振点の効率的なマージ手法を確立することができた。

(2) 配置すべき共振点の絞込み(効率化)

さらに部品点数を削減するために、**図2.3.13**の④において、共振点全てにパスコンを配置するのではなく、EMI放射に繋がる可能性のある共振点のみにパスコンを配置することができないか検討する。一般にPCB基板から発生するEMIのエネルギー P_{RAD} は、**図2.3.30**のように各エネルギー(電力)を定義すると、**式(2.3)**、**(2.4)**で表すことができる。

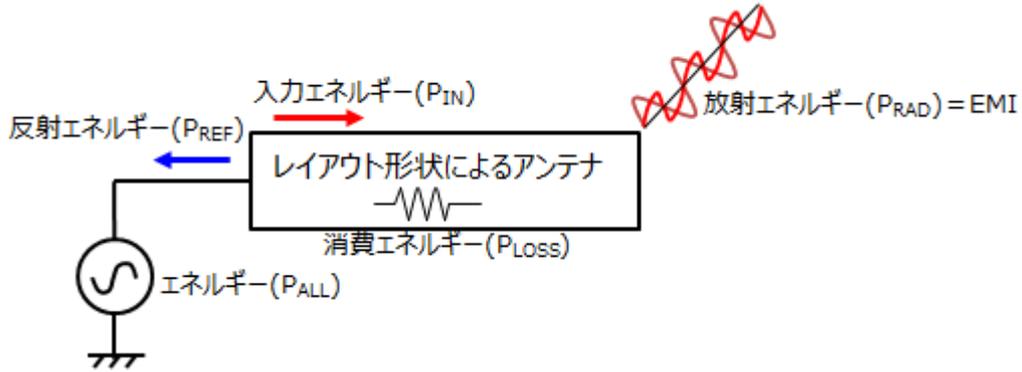


図2.3.30 各エネルギーの定義

$$P_{IN} = P_{ALL} - P_{REF} \quad (2.3)$$

$$P_{RAD} = P_{IN} - P_{LOSS} \quad (2.4)$$

式(2.3)、**(2.4)**から、**式(2.5)**になる。またPCB基板のパターンロスは小さく、無視できると仮定すると、**式(2.6)**で表すことができる。

$$P_{RAD} = P_{ALL} - P_{REF} - P_{LOSS} \quad (2.5)$$

$$P_{RAD} = P_{ALL} - P_{REF} \quad (2.6)$$

ここで、 P_{ALL} と P_{REF} の関係は**式(2.7)**で表すことができるため、 P_{RAD} は**式(2.8)**となる。

$$S_{11} = \sqrt{\frac{P_{REF}}{P_{ALL}}} \quad (2.7)$$

$$P_{RAD} = P_{ALL} (1 - S_{11}^2) \quad (2.8)$$

P_{ALL} はLSIなどから放射されるエネルギーのため、LSIの負荷状況や活性化率などによって決まるため予測は困難である。したがって、あらゆる周波数のエネルギーが電源プレーンに伝わったと想定し、電源プレーンの共振点のS11がどれくらいの大きさであればEMIに影響を及ぼすのか実験をベースにS11とEMI放射の相関関係を調べる。この相関関係を基に、共振点のS11を解析することでEMI対策に必要な共振場所を絞り込むことができるか検討する。

パソコンを全て搭載した基板と、パソコン全てを削除した基板の2種類を用意し、S11の解析結果と3m法EMIの測定結果の比較を行なう。

今回用いたPCB基板を図2.3.31に示す。解析はSIwave Ver3.1@Ansysを用い、パソコンを全て搭載した基板モデルと、そこから5V系の電源プレーンにあるパソコン全て(計9個)を削除した基板モデルの2種類を用意し、共振解析により共振場所に配置されたパソコン位置のSパラメータ(S11)解析を実施した(図2.3.32)。

3m法EMIの実測も解析モデルと同様に、パソコンを全て搭載した基板と、そこから5V系の電源プレーンにあるパソコン全て(計9個)を削除した基板の2種類を用意し、3m法のEMI測定を行なった。測定方法は、EMI評価用プログラム(5[MB]データをHDDにリード&ライト)を用いた。また基板から放射されるEMIを観測しやすくするために、LCD及びタッチパッドは動作開始後、取り外して測定を実施した。



図 2. 3. 31 EMI 測定基板

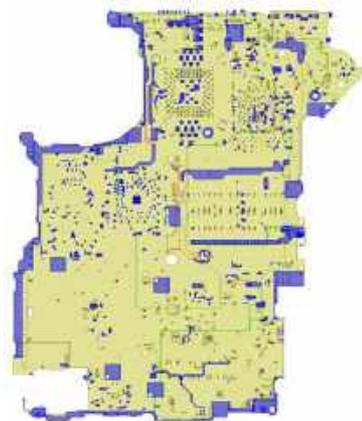


図 2. 3. 32 EMI 解析モデル
(SIwave Ver3.1@Ansys)

5V系電源プレーンに配置されている9個のパスコンの配置位置(共振解析により算出された共振場所)を図 2.3.33 に示す。

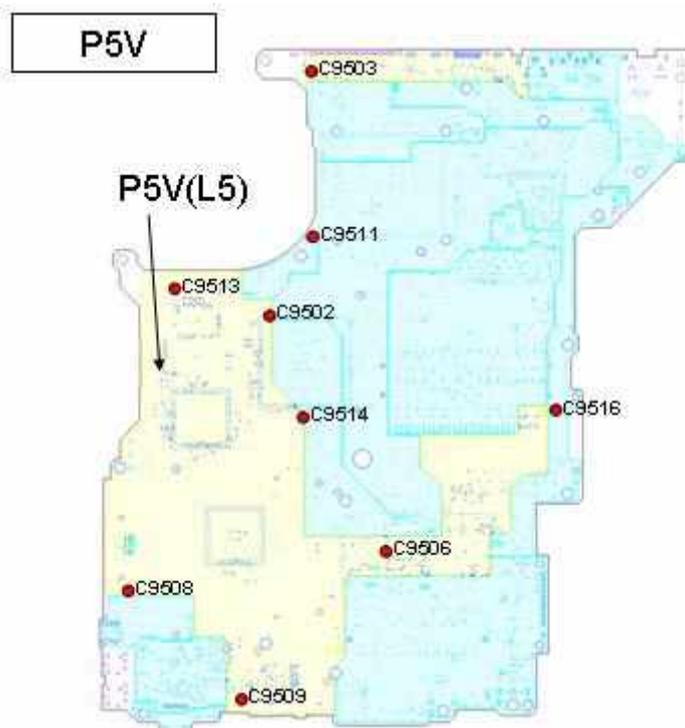
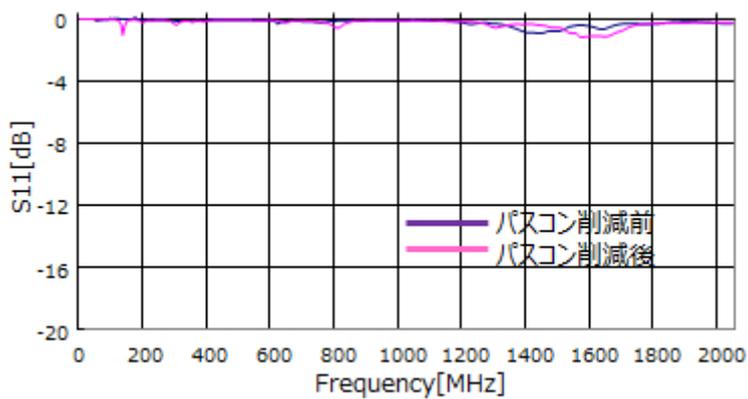
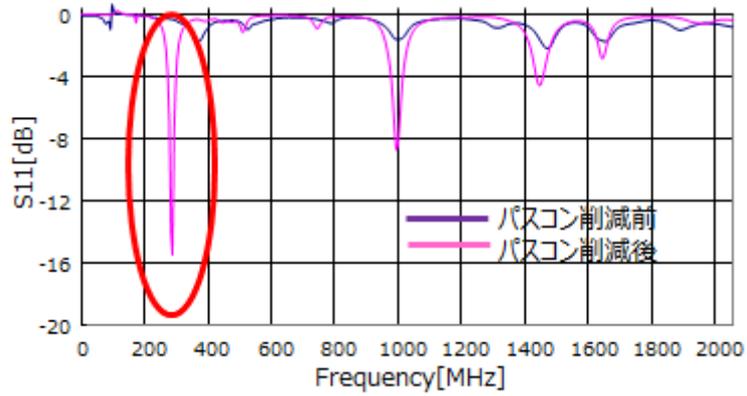


図 2.3.33 パスコン配置位置 (S11 解析位置)

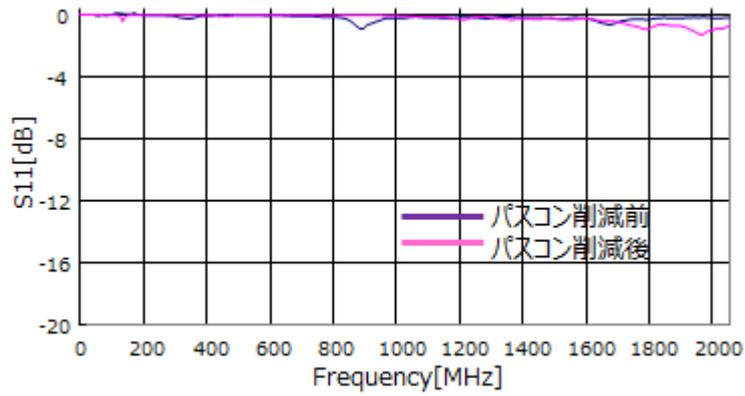
この全 9 箇所のパスコン位置における S11 の解析結果を図 2.3.34 に示す。



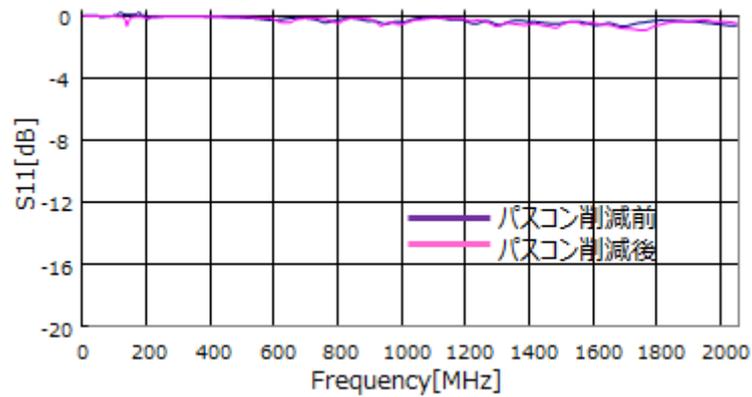
(1) C9502 位置の S11



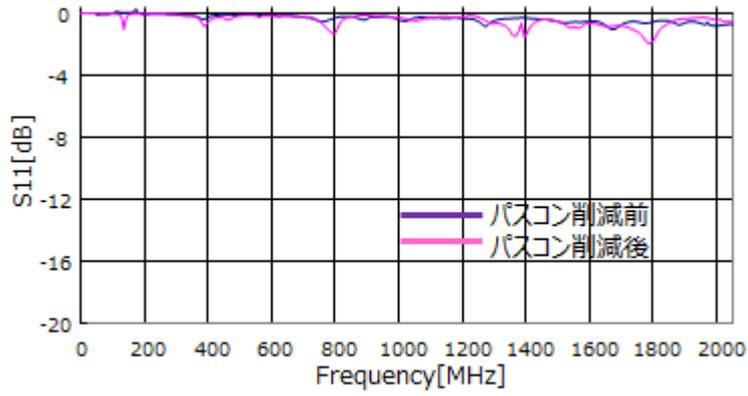
(2) C9503 位置の S11



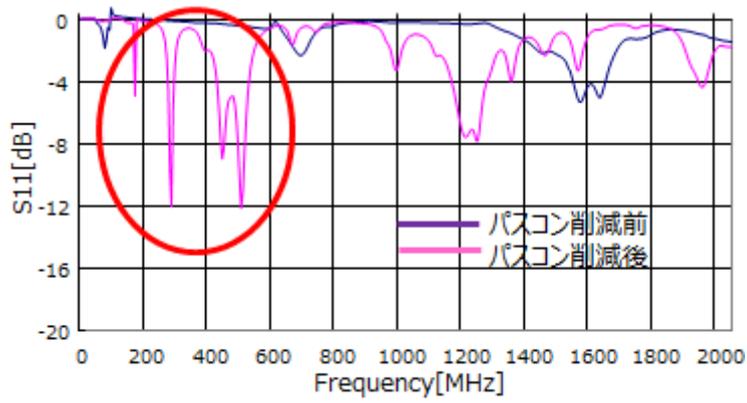
(3) C9506 位置の S11



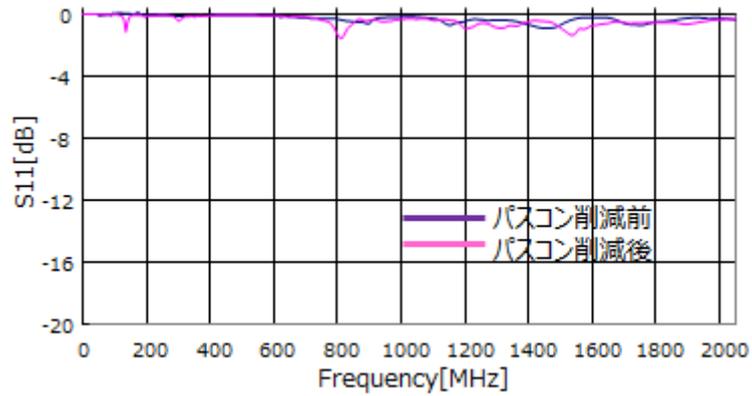
(4) C9508 位置の S11



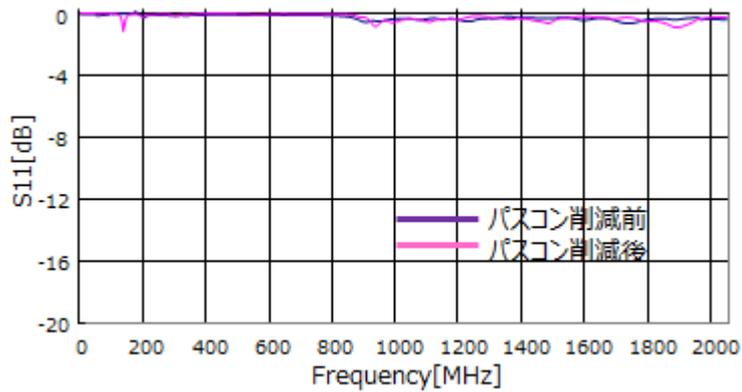
(5) C9509 位置の S11



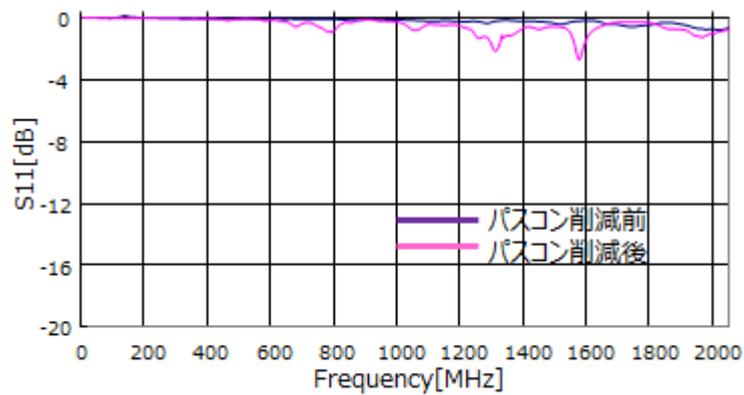
(6) C9511 位置の S11



(7) C9513 位置の S11



(8) C9514 位置の S11

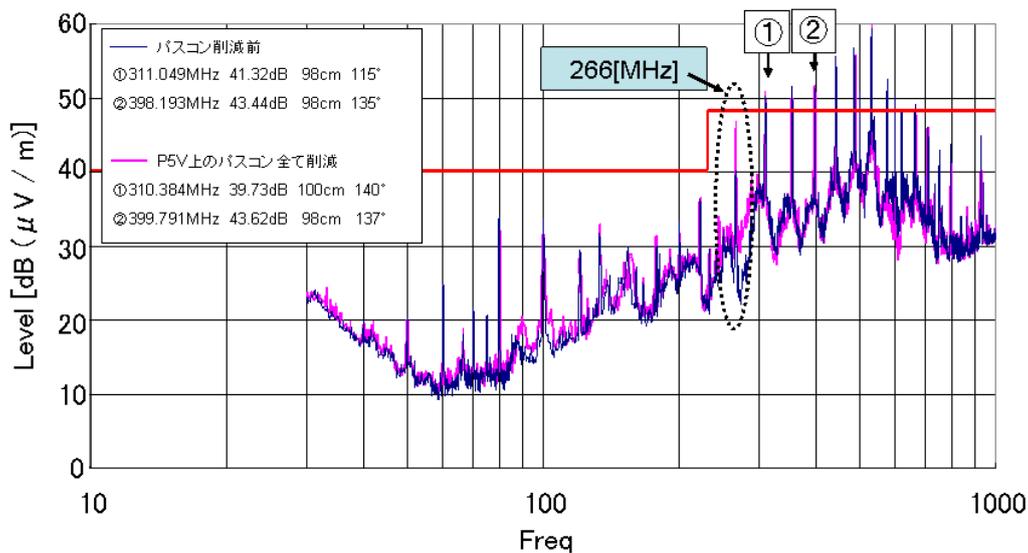


(9) C9516 位置の S11

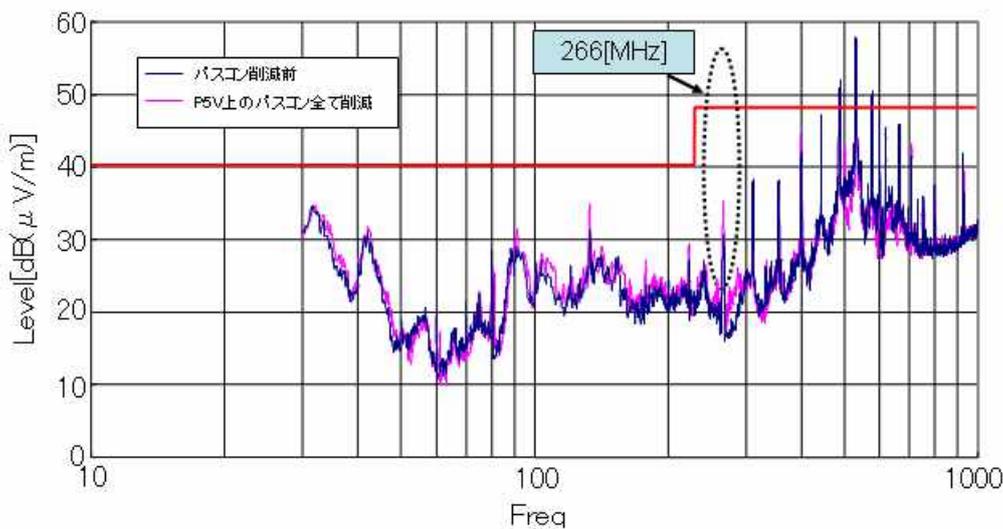
図 2.3.34 各パソコン位置における S11 解析結果

パソコンを削減することにより、図 2.3.34(2) C9503 と (6) C9511 の位置において、S11 の値が大きくなっていることが分かる。

次に 3m 法の EMI 実測結果を図 2.3.35 に示す。パソコンを削減する前後で水平偏波、垂直偏波ともに全体的に大きな差は見られなかったが、パソコンを削減することにより 266MHz で EMI 放射が 5-6dB [$\mu\text{V}/\text{m}$] 大きくなっている。



(a) 水平偏波



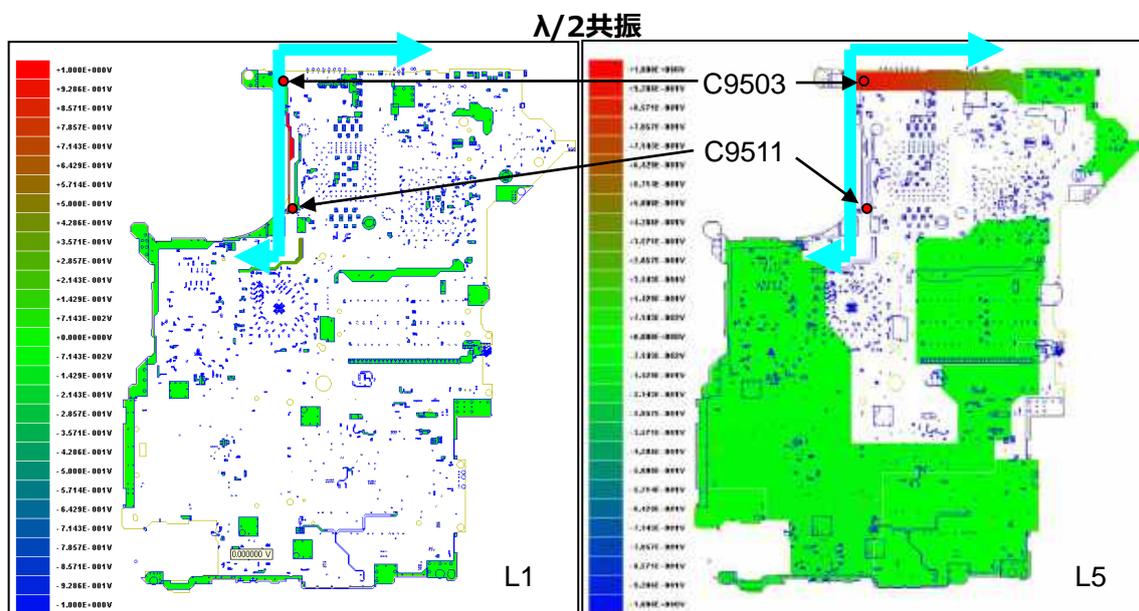
(b) 垂直偏波

図 2. 3. 35 3m 法の EMI 測定結果

ここで周波数 266MHz 付近の共振解析(固有値解析)結果を図 2. 3. 36 に示す。S11 解析でパソコンを削減した際に S11 が大きくなった C9503 および C9511 と同じ場所で、266MHz に一番近い 284MHz の $\lambda/2$ 共振モードがあることが分かる。

すなわち、パソコンを削減することによって S11(反射)のエネルギーが失われた分が EMI 放射となって表れていることが分かる。ここで EMI の出た周波数 266MHz と、S11 のピーク

周波数 285MHz が完全に一致しないのは、S11 は基板のある点を観測しているため、共振場所付近のような Q 値が大きい箇所では場所による依存性が高くなるためと思われる。



284[MHz]の電圧分布図

図 2.3.36 パソコン有無の EMI 測定に差が出た周波数の共振解析結果

次になぜ C9503 および C9511 の場所にものみ S11 解析結果および EMI 測定結果に差が出たのか、EMI 発生原因を検討する。図 2.3.37 が EMI 発生原因と思われる場所のレイアウト図である。図に示すとおり、5V 系の電源配線がリファレンス GND より外にはみ出ていることが分かる。このことにより、図 2.3.38 に示すとおり、5V 系電源プレーンから GND へ電界が伝わる際に基板の外に漏れ、EMI として放射されやすくなり、S11 が大きくなったと思われる。すなわち、S11 の大きさを調べれば、EMI が放射されやすいかどうかを調べることができる。

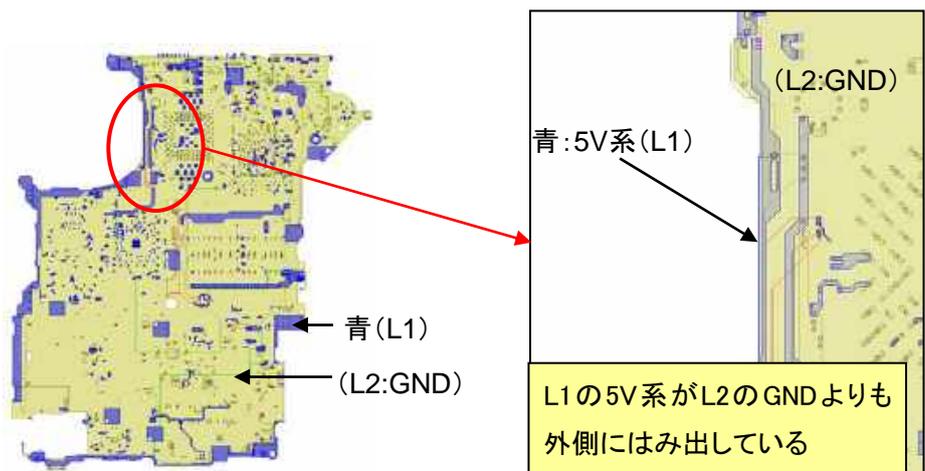


図 2.3.37 EMI 発生箇所のレイアウト図

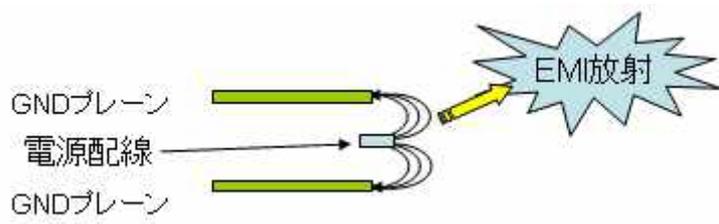


図 2.3.38 EMI 発生メカニズム

S パラメータ解析(S11)のパスコン有無による差と、EMI 測定のパスコン有無による差に相関関係があることが実験により確認できた。これは S11 の損失が大きいと、その失われたエネルギーが EMI 放射となって表れるためである。すなわち共振点全てにパスコン配置するのではなく、共振点の S11 を解析で調べ、ある閾値を超える箇所のみパスコンを配置することによってパスコンを最適化(最小化)することができる。

以上より、図 2.3.39 のフローを実行することにより EMI 対策用コンデンサ(パスコン)を最適化(最小化)技術することが可能となった。

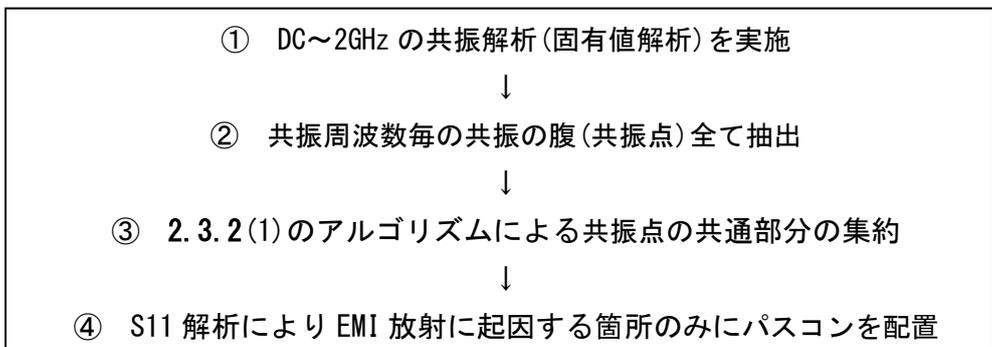


図 2.3.39 EMI 対策用コンデンサの最適化フロー

このパスコンの最適化(最小化)技術に、図 2.3.1 の最適化アルゴリズムを導入したフローを図 2.3.40 に示す。

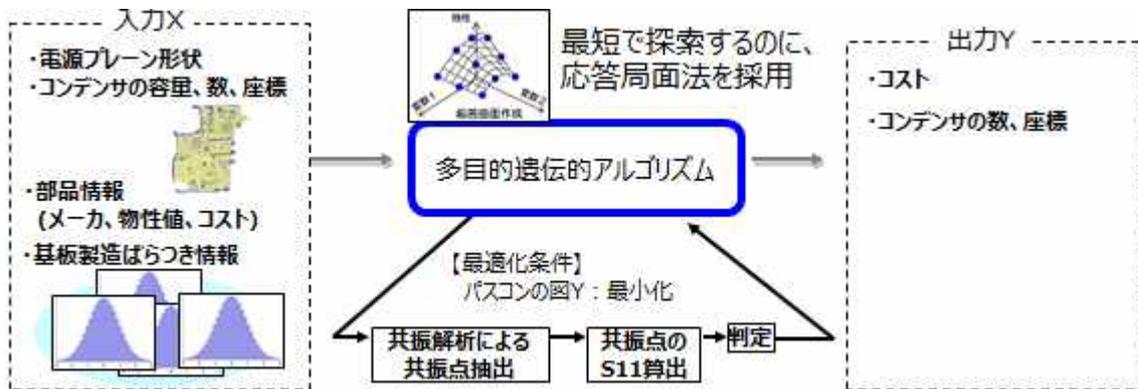


図 2.3.40 EMI 対策用コンデンサの最適化(最小化)抽出フロー

3. 製品レベルの協調設計を可能にする設計スキームの提案

競争力のあるモジュールを実現するには、3D 構造など高度な集積化技術と、デジタル機器側との協調設計による性能最大化が重要になる。特に近年は、回路の高速化、大電流・低電圧化、小型・軽量化、高品質・低コスト化などにより、モジュールおよびそれを用いたデジタル機器側双方の設計難易度が高まっており、また製品形態も多様化している。

これらの市場要求を短納期で実現するためには、これまでの LSI (パッケージを含む)、モジュール、PCB を別々に設計し最後に全体検証を行うことにより発生する大きなイタレーションをなくし、設計上流段階から LSI とモジュールと PCB を協調設計し実装設計全体を「見える」化(可視化)することである。

特に、「エコシステムを形成するモジュール(e-モジュール)」を実現するには、IoT 技術で共有化される市場動向や機器メーカーの開発状況、部材の調達や製造委託先の情報などを反映させ、最適なモジュールへダイナミックに設計変更する必要がある。そこでデジタル機器設計手法の現状と課題をまとめることで、今後の機器メーカーが各設計フェーズで何の情報を必要とするかを整理し、それらが協調領域の情報なのか競争領域の情報なのかを明確化し、製品レベルの協調設計スキームを提案する。さらに協調領域の開示方法について検討する。

3.1 デジタル機器設計手法の現状と課題

最近の取り組みを説明するため、これまで歩んできた道のりを3つのPhaseに分けてまとめる[18]。まず2000年から2003年を「Phase1」とする。「Phase1」での市場要求からくる課題は、開発リードタイムの短縮であった。品質を下げず、いかに開発リードタイムを短縮するかが技術的な課題であった。次に2004年から2008年を「Phase2」とする。ノートPCで言えばこの頃からThin&LightノートPCやAVノートPCが市場に投入され始め、小型化・軽量化、回路の高速・大電流、低電圧化に対して、いかに品質を向上させるかが技術的課題であった。2009年以降の「Phase3」ではデジタル機器のコモディティ化が進み、中国・台湾をはじめとする新興国の機器メーカーが台頭し、いかに低コスト化を実現させるかが技術的な課題であった。

すなわち、

「Phase1」：開発リードタイムの短縮 (Delivery)

「Phase2」：小型・軽量化、回路の高速・大電流、低電圧化への対応 (Quality)

「Phase3」：低コスト化の実現 (Cost)

とまとめることができ、現在ではこれら品質・コスト・短納期 (QCD) 全てを同時に解決す

る必要がある。

これらを解決するために、CADやシミュレーションを導入し設計効率化に取り組んでいる。図3.1.1に一般的なデジタル機器の設計フローを示す。最初に商品企画があり、構想設計、そのあとに回路、基板、筐体、ソフトウェアの設計が同時にスタートする。その後、製造設計を経て、最終的に、PCB基板と筐体が製造工程で一つになり、それにソフトウェアがインストールされて出荷という流れになる。この設計フローに対してPhase1~3でどのようなアプローチにより解決したかを以下まとめる。

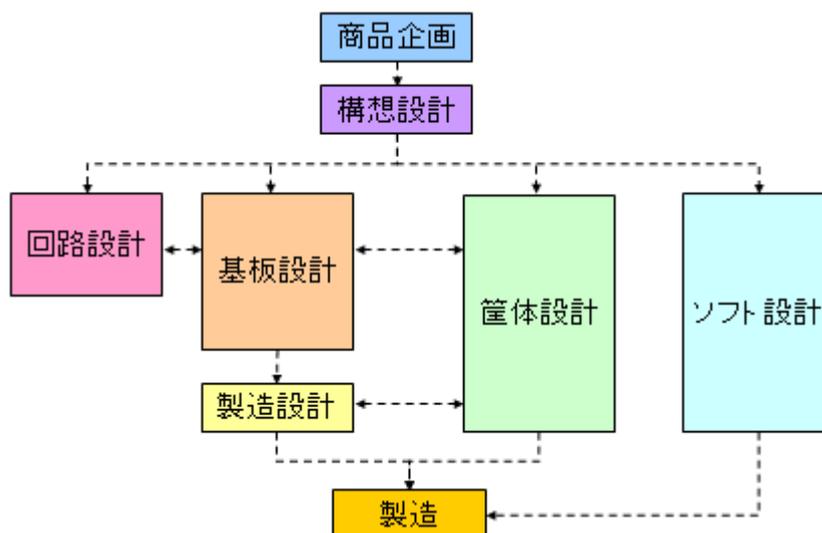


図3.1.1 デジタル機器の設計フロー

3.1.1 設計データの電子化および共有化 (Phase1)

Phase1では、設計品質の維持をするために、今では当たり前となっている設計データの電子化を2000年頃から推進した。当時は図面(紙)の文化が色濃く残っていたが、各設計にCAD/CAMシステムを導入し、PCB設計に関してはPCB-CAD、筐体設計に関しては筐体3次元CAD、製造設計に関してはCAMを導入し各設計フェーズの電子化を図った。

各設計Phaseの電子化が進むと、データの受け渡しシステムが必要になり、PDM/PLMシステムと呼ばれる製品情報管理システムを2002年頃に構築し、設計から製造までの情報の共有化を行なった。また製造側はCAD環境がなく設計データが閲覧できなかったため、ビューワを開発し、関係者が一元的に最新の設計データを閲覧できる環境を構築した。現在では、設計者がCADデータをPDM/PLMに登録すると、PDM/PLM上で自動的にビューワデータが作成され、製造側はリアルタイムに設計データを確認することで、製造ラインでの検査や解析の効率化につなげている。また解析時に不具合のある部品が検出された場合は、このビューワ上で問題となった部品を選択し、不具合のカテゴリを選択すると、製造側のサーバで品質カテゴリ別に集計され、設計側へフィードバックされる仕組みとなっている。

3.1.2 PCBデータと筐体データの連携 (Phase2)

Phase2では、小型軽量化に向けてPCBと筐体の連携を強める取り組みを行った。筐体は3次元CADを用いて設計しており、このデータを使ってPCB設計の効率化を図った。一般に、筐体設計者は電気設計について理解の足りないことが多く、例えば、EMI的に問題が起こりそうな部分に軽量化のため穴を開けてしまうことなどがある。そのため、電気設計者が常に筐体設計の状況を確認できる環境を作ること、これらの問題を防ぐことを可能とした。具体的には、図3.1.2のように筐体CADデータとPCB-CADデータを同時に取り込み可能なビューを開発した。このビューはPDM/PLMシステムと紐付けられ、電気設計者はいつでも最新のビューデータを用いて、筐体とPCBの位置関係を、分解、回転、寸法表示、断面表示などで閲覧できる。

また、PCBの部品やネットが筐体内のどこに配置されているか検索できるように、ノイズの出やすい部品がハーネスや筐体の穴の近くに置かれていないかなどをチェックできる機能を開発し、ビューに実装している。

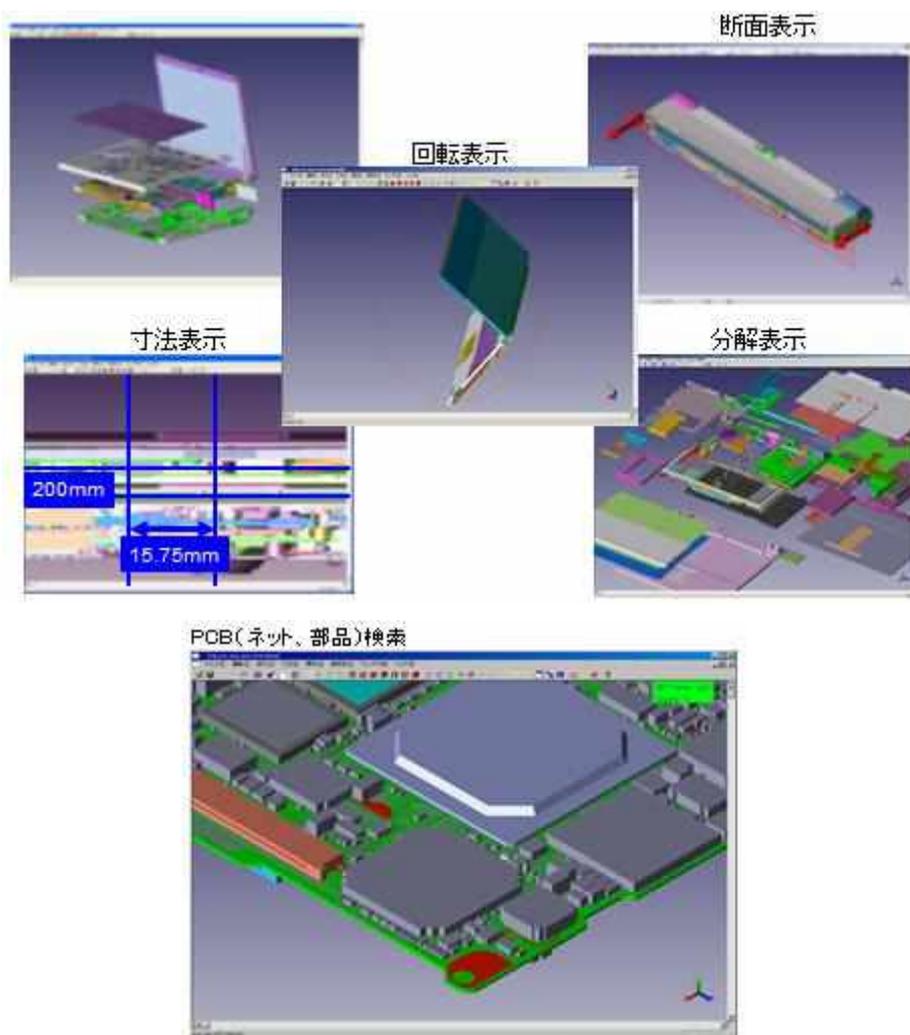


図3.1.2 筐体-PCB ビューによる3D可視化

3.1.3 CADとシミュレーションの相互連携 (Phase3)

Phase3では、回路の高速化、大電流・低電圧化、低コスト化といった課題に対応するために、CADとシミュレーションの相互連携を図った。これまで、シミュレーションはトラブル解析にしか使用していなかったが、設計フローの中にシミュレーションを組み込むことで、設計力の向上に取り組んだ。

現在は図3.1.3に示すように8つのシミュレーションおよびチェックを行なっている。特に設計が下流に行くほど設計時間がないため、チェック機能をCADへ組み込んだり、EMI対策用コンデンサ(パスコン)を自動で最適な場所へ配置する機能などを開発し、シミュレーションおよびチェック時間の短縮を実現している。

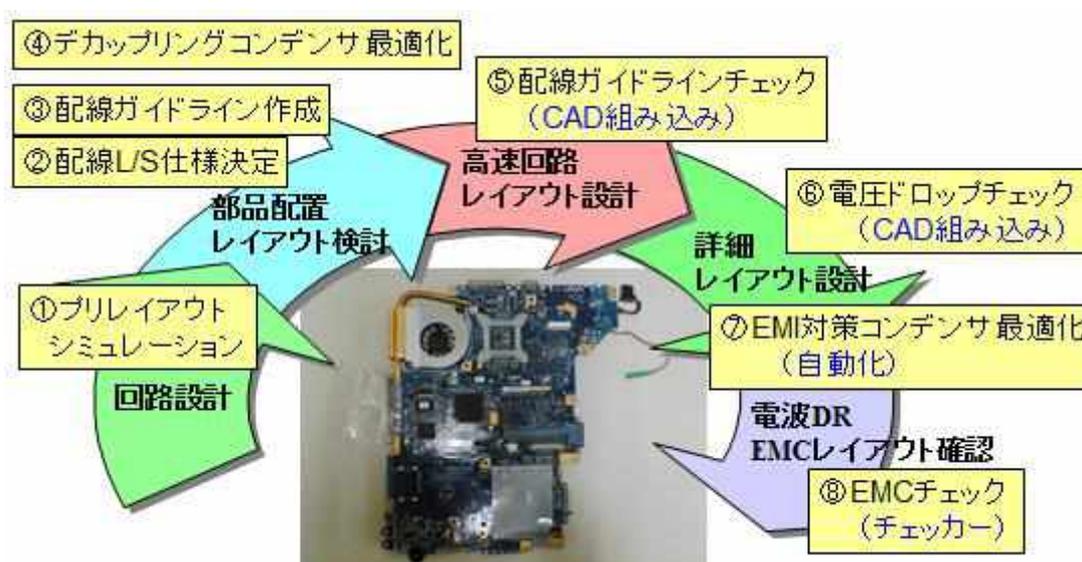


図3.1.3 デジタル機器設計フローでの8つのシミュレーション

3.2 競争領域と協調領域の定義によるIoTを活用した新設計スキーム

従来のデジタル機器設計では、3.1章で述べた通り、PDM/PLMと呼ばれる製品情報管理システムによって、部品やPCB基板ごとにCADデータを含む設計データや仕様が共有化され、その資産を様々な解析等に利活用し設計を高度化させてきた。しかし、デジタル機器の高機能化、高速化、LSIの低電圧化に伴い、LSI内部配線、PCB基板のパターン、モジュール構造を個々に最適化し、その後組み合わせを行っても製品全体の電源品質や信号伝達品質を十分に保てなくなるといった問題が出てきた。そこでデータの共有化やシミュレーションの連携に加え、構想設計の段階から製品全体を機能ブロックで組み立て、その各ブロックに過去の設計データを当てはめ仮想データを構築する手法を考案し、構想設計段階から製品全体の統合設計を可能にした。また本手法は実際に製品情報管理システムに実装されデジタル機器の設計に活用されている。

そのシステム概要を図3.2.1に示す。まず過去の設計データをこれまでの製品単位のデータ構造から、機能ブロック単位へのデータ構造へ変換し、ブロックライブラリを構築する。これはこれまでの製品単位のデータ構造による管理では、仮にCPUやチップセット、メモリー、電源など構成するアーキテクチャがよく似ていても、流用(再利用)しにくい点を解決するためである。また各ブロックデータに対して、ブロック同士の親和性や過去のノウハウ、トラブル事例などマッピングさせることによって成長型ブロックを形成している。

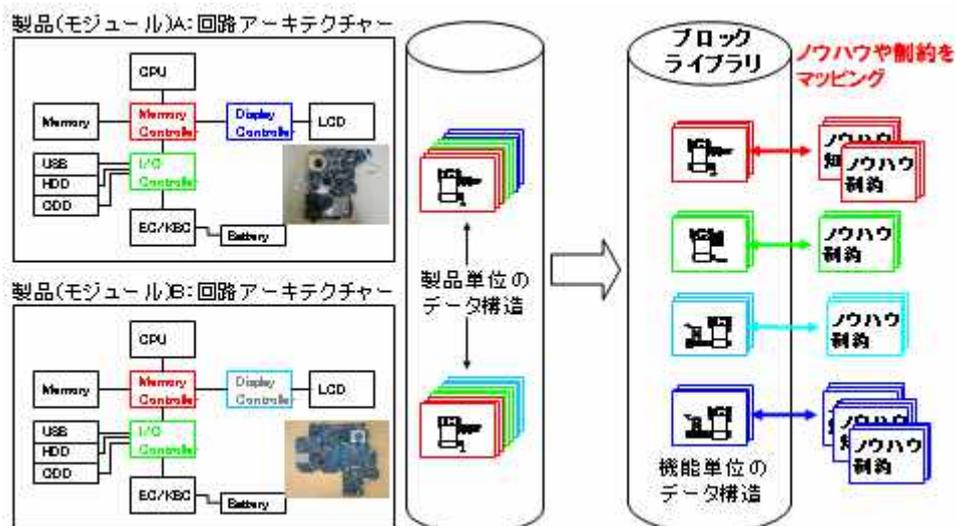


図3.2.1 ブロックライブラリの概念図

製品の構想設計では、図3.2.2のように商品企画や顧客要求からくるスペックやデザイン、

サイズに対してブロック配置案がいくつか決まる。この配置された各ブロックに、ブロックライブラリから過去使用した類似のブロックデータを当てはめ、構想設計段階で仮想の製品データを作成できる環境を構築した。これにより、仮想の製品データを用いて、構想設計段階で、コスト分析やこれまで詳細設計でしか行なえなかったシミュレーションやチェック機構を回すことが可能になり、上流での検討内容の精度を高めることを実現した。

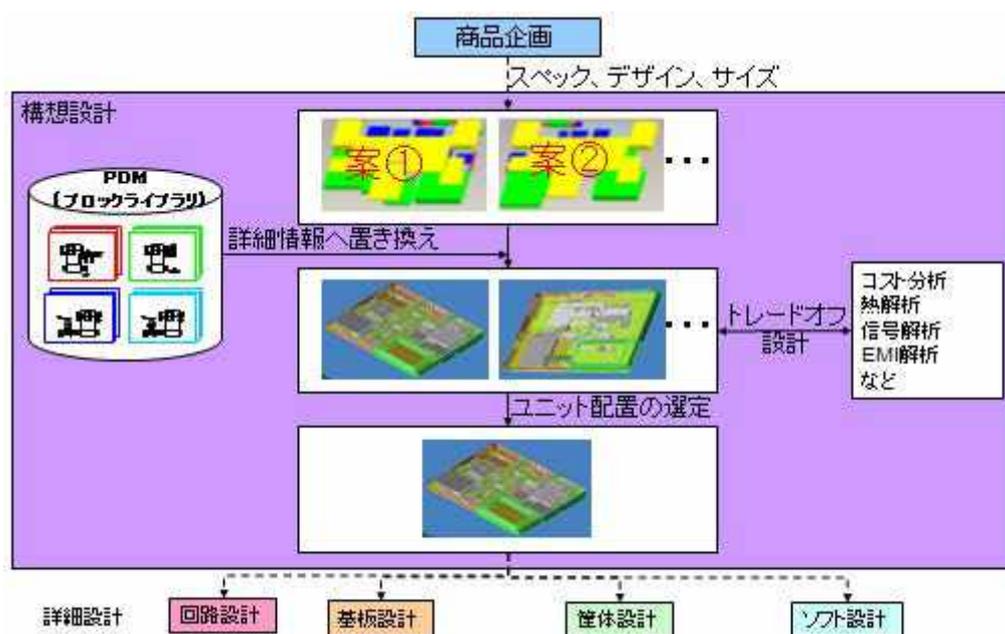


図3. 2. 2 構想設計での仮想設計データ

構想設計での熱解析事例を示す。図3. 2. 3は、構想設計段階でブロック配置案を7通り作成し、抽出した7通りのブロック配置案に過去の類似ブロックを当てはめ、詳細な情報に置き換えた仮想データである。この仮想データを用いて熱解析を実施した結果を図3. 2. 4に示す。この製品は発熱する部品と熱に弱い部品が共有空間に配置されているため、ブロック配置案の中で、熱に弱い部品の配置箇所の温度が最も低いブロック配置案(図3. 2. 4の赤枠)を抽出し、このブロック配置を基に詳細設計を行なった。なお、この仮想データでの解析結果は、詳細設計後のシミュレーション結果、および試作機ができた後の実測結果と同等の結果となっており、本手法の有効性を確認した。

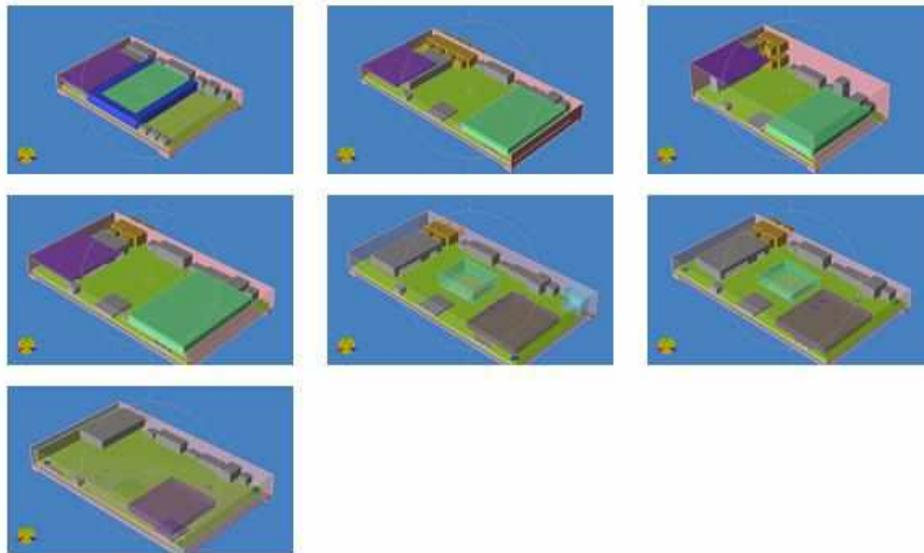


図3.2.3 過去類似のブロックデータに置き換えたブロック配置案

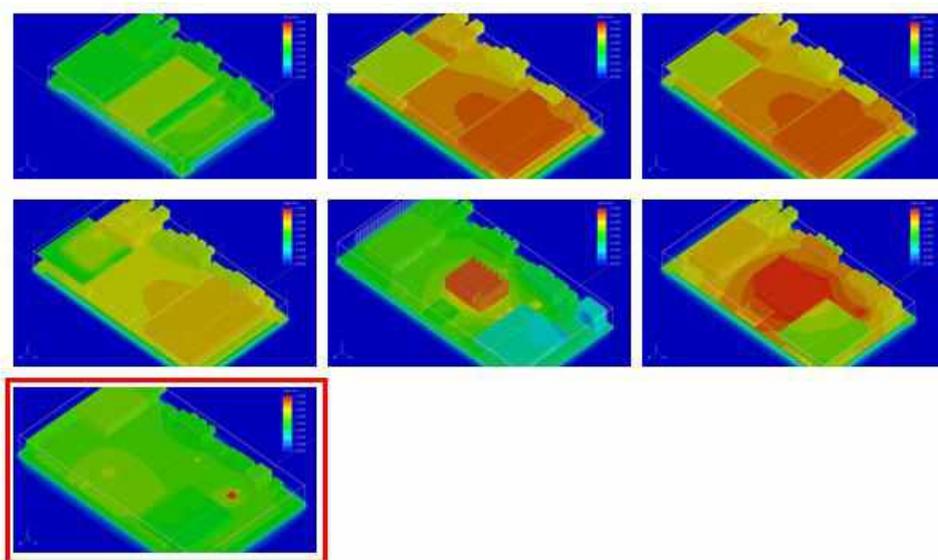


図3.2.4 構想設計での熱解析事例

しかし、図 3.2.5 に示す様に、近年は機器の高速化により PCI-Express-gen2 (5Gbps) や SATAⅢ (6Gbps) などの高速信号の電気長が、LSI やパッケージサイズと同等のオーダーに近づいてきており、構想設計段階から LSI、モジュール、パッケージ、PCB を相互に協調しながら設計することが不可欠になってきている。そこで、協調設計環境を構築する上で、LSI、モジュール、パッケージ、PCB の設計が各フェーズで何の情報が必要としているかを整理し、それらが協調領域の情報なのか競争領域の情報なのかを明確にし、製品レベルの協調設計

スキームを提案する。さらに協調領域の開示方法について検討する。なお、本検討は、一般社団法人電子情報技術産業協会 (JEITA) EDA 技術専門委員会で参画している“LSI パッケージボード相互設計ワーキンググループ”での検討内容を含む[19-22]。

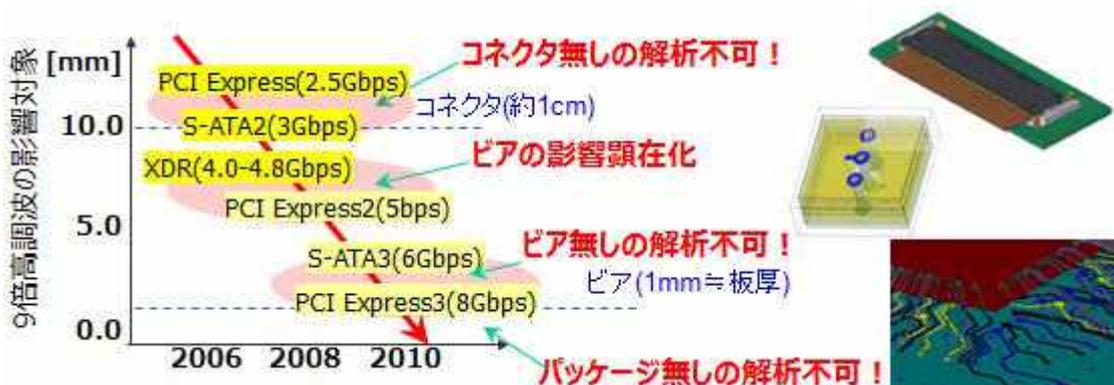


図3.2.5 高速信号の電気長

現在のLSI、モジュール、パッケージ、PCBの設計スタイルは、それぞれがそれぞれの文化で設計し、最後に全体の検証を行なっている。このため、一度ミスが発生すると後戻りが大きく致命的になる。これを解決するには、構想設計段階から各設計間で情報を共有化し、協調して最適化設計と検証を進める必要がある。しかし、協調しようとしても、各設計文化の違いによる意思伝達のミスや、必要とする情報の欠落、情報そのものの流通性の悪さなどがあり、情報を共有化すれば良いというものでもない。

これは、現在の設計スタイルが、図3.2.6に示すように、製品仕様など仕様書を基に設計を開始するためと思われる。具体的には、仕様書に書かれた曖昧な表現をメール・電話などで確認するのに手間取ったり、その情報を関係者で共有化されず同じ質問をしたり、さらには、曖昧な表現を確認せず誤った解釈で設計を進め、設計の終盤に差し掛かった頃に判明し、結果、致命的な後戻りが発生するということが起きていた。今後、新興国の機器メーカーと協調設計する場合は言語の問題も出てくるため、現在の設計スタイルではさらにこれらの問題が顕在化するものと思われる。

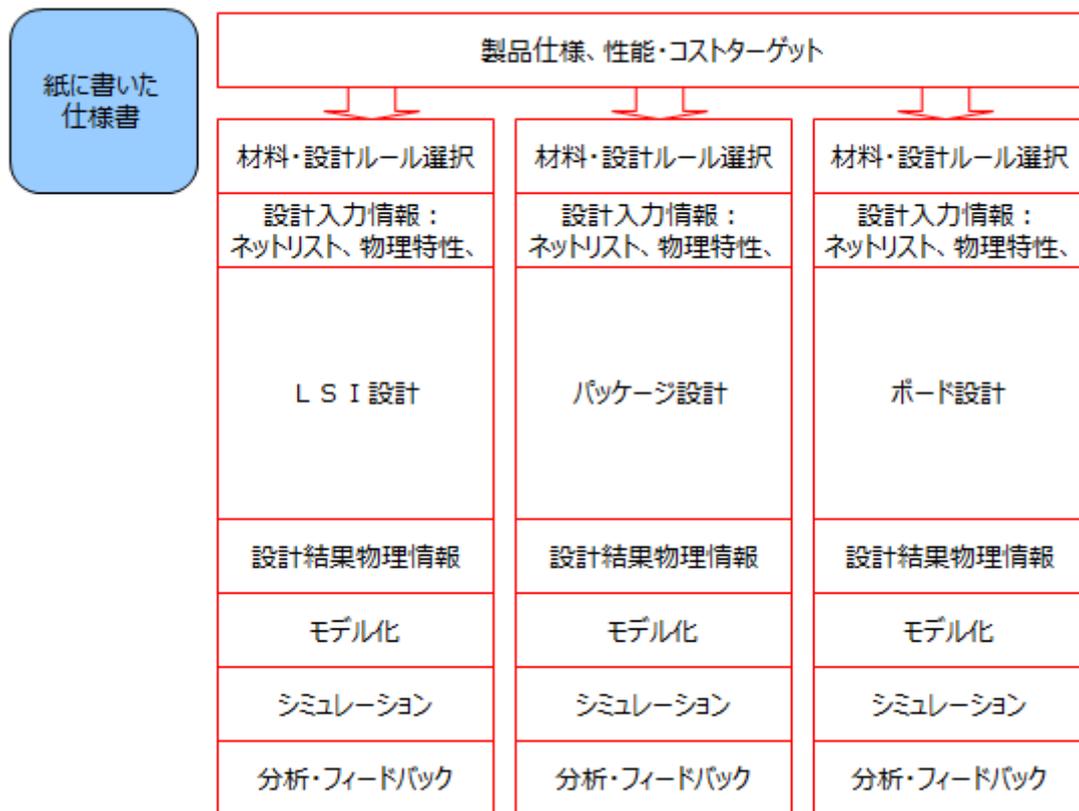


図 3.2.6 現在の設計スタイル

そこで、図 3.2.7 のように、LSI、モジュール、パッケージ、PCB 設計自体は競争領域としてこれまで通り変えず、各設計前後の入出力を協調領域として標準化し、意思伝達の解釈ミスをなくすことを目指す。これにより、情報の流通性を良くしながら、各設計情報をブラックボックス化することが可能となる。

ここで協調領域の標準化に必要な情報は以下である。

- ① 論理定義をするネットリスト
- ② 物理定義をする階層間定義
- ③ それぞれの設計に伝えるべき設計制約
- ④ 設計結果物理情報

まず①のネットリストにより論理定義を行ない回路検証する。次に、②の階層間定義で例えば LSI のどのパッドとモジュールのどのパッドが繋がるのか、パッケージ内のどの BGA ボールと PCB のどのフットプリントが繋がるのかといった物理定義を行う。これにより LSI とモジュール、パッケージ、PCB が関連付く。それに対してそれぞれが伝えたい設計制約条件、例えば差動配線の配線誤差は何 mm 以内といった情報を、③の設計制約情報で伝達する。その後は、各社(各担当)がそれぞれの設計環境を用いて、LSI、モジュール、パッケージ、

PCB の設計を行ない、必要に応じて、④の設計結果物理情報（レイアウトフォーマット）に変換しデータを一体化して相互検証を行なう。

この①～④を標準化することで、協調領域の情報流通性が上がり、今後の IoT 技術によりダイナミックに設計変更を行なう e-モジュールの設計環境が可能になる。すなわち、標準化すべき部分を協調領域、それ以外を競争領域と定義することで、今後の IoT を活用した新設計スキームを提案する。

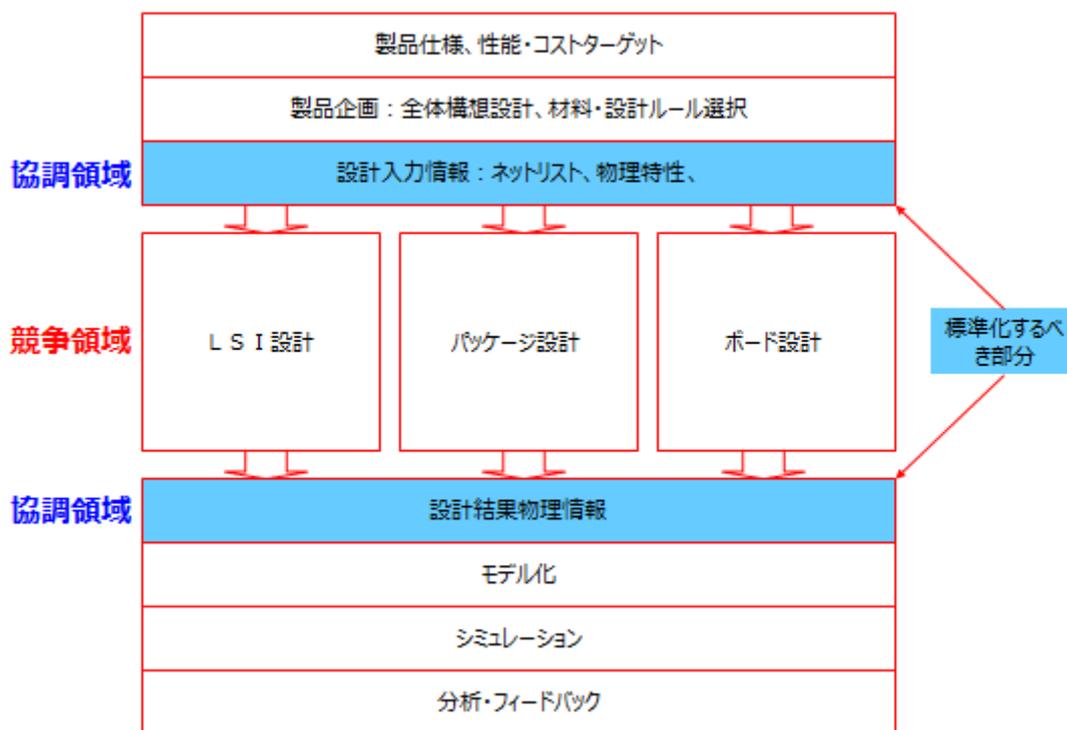


図 3.2.7 今後の設計スタイル

3.3 新設計スキームによるデジタル機器設計とe-モジュール設計の統合

前章で提案した新設計スキームを用いて、デジタル機器設計および e-モジュール設計に適用し、その有効性を検証した。その結果、以下 3 つの効果を確認することができた。

- ① 図 3.3.1 のように階層間定義でグルーピングや差動ペアの定義付けを行なうことにより、従来必要だった PCB 設計者へ定義の意味を説明するための資料作成や打合せによる認識合わせが不要となり工数削減に繋がった。

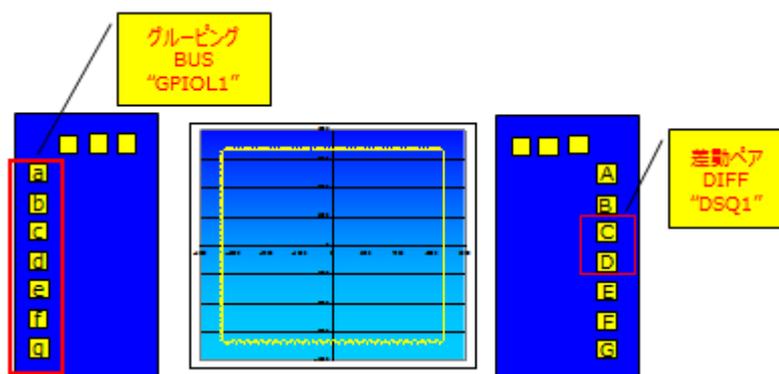


図 3.3.1 階層間定義(グルーピング/差動ペアの定義)による効果

- ② 図 3.3.2 のように LSI 右辺は DDR3_IF でかつ右上 7 端子は Pad のスワップ可能、また差動ペア間の線路長差は計 500um 以内という設計制約を設定することにより、従来は様々な手段で階層の異なる設計者へ情報を伝えていた定義の曖昧さが排除され、階層の異なる設計者でも共通言語/共通定義で認識できるようになり、情報の授受が円滑になった。

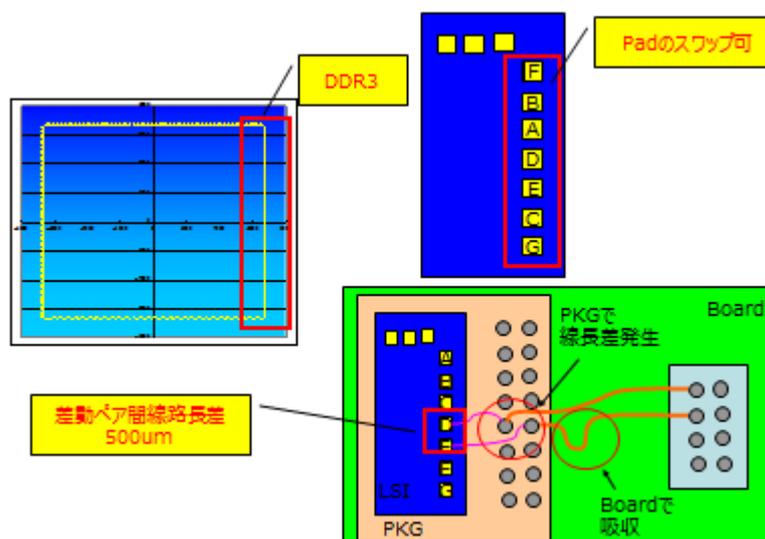


図 3.3.2 設計制約定義による効果

- ③ 図 3.3.3 のように、LSI 間を接続する DDR のデータ信号上位 8 ビットと下位 8 ビットが交差するピン配置になった場合、従来は PCB の層数を増やしたり基板サイズを大きくして対応する必要があったが、I/F を標準化することにより、図 3.3.4 のように LSI、パッケージ側でのピンアサイン変更検討が容易となった。変更後の PCB 設計を図 3.3.5 に示す。

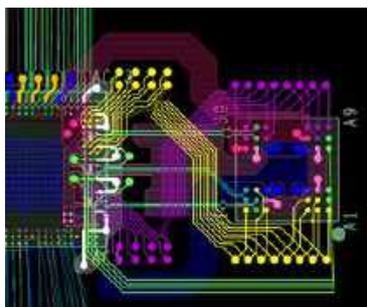


図 3.3.3 修正前のクロスした DDR 配線

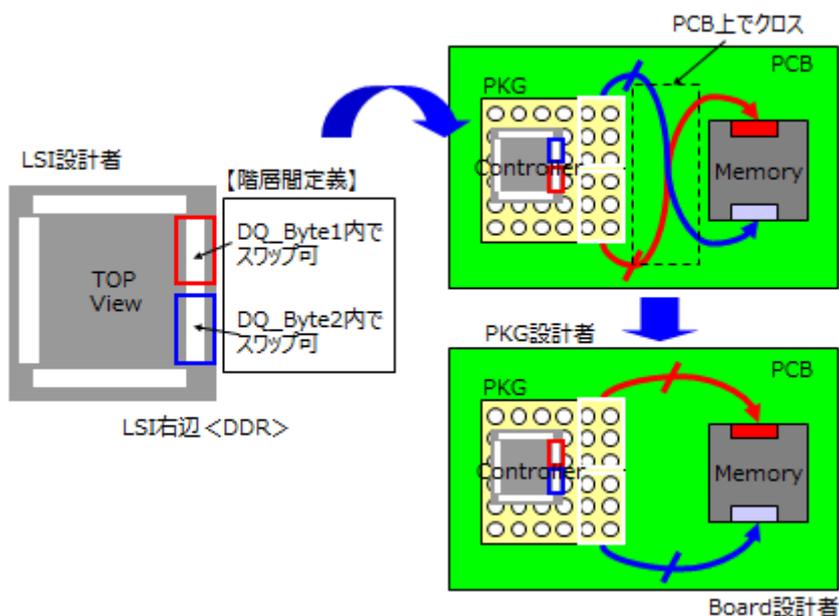


図 3.3.4 ピンアサイン修正の検討

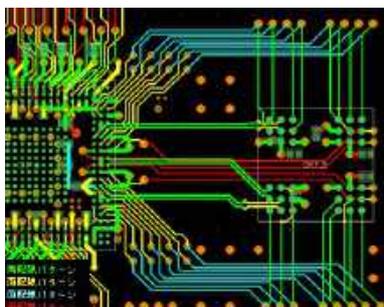


図 3.3.5 修正後の DDR 配線

以上より、競争領域と協調領域を定義しその間の I/F を標準化することで

- ・ 修正内容の伝達の簡素化
- ・ 設計するまでの準備時間の大幅な短縮
- ・ 誤解によるミス防止や確認に要する時間短縮

が可能となり、LSI、モジュール、パッケージ、PCB がコンカレントに構想設計段階から協調することで全体最適化設計を実現できることが分かった。これにより、今後の IoT を活用した新設計スキームの効果を確認することができた。

3.4 新設計スキームのLPBモデルの国際標準化

前章までに、e-モジュールを実現するための新設計スキームの効果を確認することができた。今後はこの新設計スキームを使って、新興国を含む機器メーカーと協調設計に活用していく必要がある。特に、今後の IoT 技術を使って、機器メーカーの開発状況を共有していくには、3.2 章で定義した協調領域の標準化に必要な情報を国際標準化にしていく必要がある。そこで、現在、一般社団法人電子情報技術産業協会 (JEITA) EDA 技術専門委員会の“LSI パッケージボード (LPB) 相互設計ワーキンググループ”を中心に、以下 5 つの I/F フォーマットを策定し、IEC 国際標準化を進めている。

- ① プロジェクト管理 (M-Format)
- ② ネットリスト (N-Format)
- ③ コンポーネント (C-Format)
- ④ デザインルール (R-Format)
- ⑤ ジオメトリ (G-Format)

各フォーマットの概要を JEITA EDA アニュアルレポート [20] で記載した内容を基に以下引用する。

① プロジェクト管理 (M-Format)

製品の開発プロジェクトの中では LPB それぞれに標準フォーマットに沿ってインターフェースファイルが準備されるが、それぞれの設計工程の最適化や改変によりインターフェースファイルも逐次アップデートされる。LPB 相互に連絡なしにファイルをアップデートすると設計結果に不整合がおこりミスややり直しの原因となる。システム全体でインターフェースファイルのバージョンを管理する目的でそれぞれのバージョン名を記述する。

② ネットリスト (N-Format)

LPB 全体での接続管理を目的とし、将来 LPB 全体の接続検証や機能検証ができる EDA 環境の開発が促進されることを狙って Verilog-HDL を基本ネットリストとした。形状情報と完全に分離した接続情報に徹して階層構造にも柔軟に対処が可能である。弱点としては電源グラウンドのネットがないことへの対処と、パッケージ・ボードの検証に使われている SPICE との互換性を持たなければならない。これらにより、LPB 共通仕様では Verilog-HDL の書式に電源グラウンド端子を追加したり、SPICE におけるピン並びに制約と同じ制約を課す拡張仕様が加えられている。

③ コンポーネント(C-Format)

コンポーネントファイルはLPB 各部の設計結果をつなぎ合わせる場合の部品の物理的な形状、接続位置・方向、設計上の制約を定義する。流通している同様なフォーマットで必要となる情報がすべて含まれている書式がないため、本WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするためにXML の書式を採用している。

④ デザインルール(R-Format)

LPB 各部の設計ルールを記述する。ライン、VIA やスペース、走行性をあらわす。解析のセットアップのための材料物理特性や詳細断面構造もあわせて定義する。流通している同様なフォーマットで必要となる情報がすべて含まれている書式がないため、本WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするためにXML の書式を採用している。

⑤ ジオメトリ(G-Format)

ジオメトリは設計結果を解析環境に渡す際の書式を定義する。各層ごとの2次元図形と、VIA、Bump、Bond Wire の3次元的情報、2次元情報を積み上げて立体構造にするための層構造(縦方向の寸法)などと記述する。テキストでの表現が必須であり、シンプルでかつある程度の精度をもった書式が必要である。これは独自の書式の開発は困難であることからEDA ベンダが提供した書式(XFL)を採用している。

4. 協調設計を可能にする高精度解析モデルの構築方法の具体例

協調設計の核となるノイズ解析技術について述べる。これまで述べてきた通り、LSI 動作の高速化に伴い、今後デジタル機器設計は LSI やモジュール内部を考慮した PCB 設計が必要となる。特に電源ノイズ対策では、ノイズの原因となる電源リップル ΔV は式(4.0.1)で表されるが、 di/dt は LSI 動作により決定されるため PCB 設計ではコントロールできない。このため、PCB 設計側で ΔV を抑えるには LSI 内部から DC/DC コンバータまでの電源ーグラウンド間 (Power Distribution Network:PDN) のインピーダンスを低くする必要がある。(詳細は、2.3.1 章を参照)

$$\Delta V = Z \cdot \frac{di}{dt} \quad (4.0.1)$$

この満たさなければならないインピーダンスの閾値をターゲット・インピーダンス Z_t と呼ぶ。この Z_t は、図 4.0.1 に示す通り、近年の大電流・低電圧化により、ハイエンド CPU では数 $m\Omega$ まで下げる必要がある。しかも LSI 動作の高速化により DC~数 GHz の範囲で低インピーダンス化を実現しなければならず、その為には広帯域で電源とグラウンド間を高精度にモデル化し、電源インピーダンスを解析して検証する必要がある。

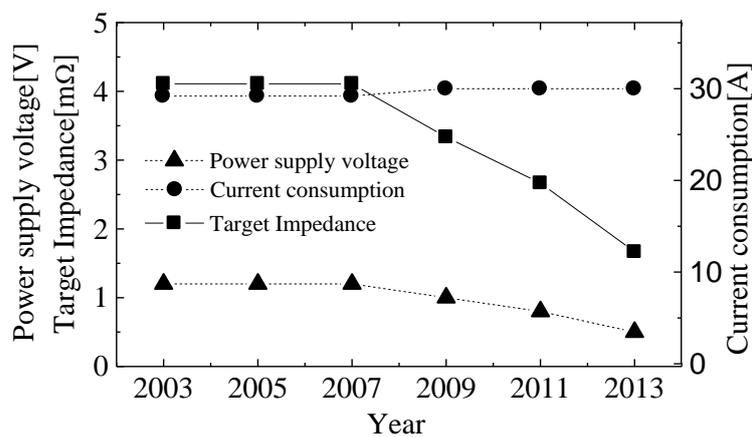


図 4.0.1 ハイエンド CPU の電源電圧 (V_s)、消費電流 (I_c) および、ターゲット・インピーダンス (Z_t) のトレンド

4.1 LSIの電源-グランド解析モデル構築方法

高周波(10MHz~)のインピーダンス値は、図 2.3.11 に示す通り周波数が高くなるにつれて LSI オンチップ容量の寄与度が高くなる。図 4.1.1 はある LSI が搭載された PCB 基板のデータを用いて、LSI 負荷モデル有無によるインピーダンスの違いを表している。黒線が LSI 負荷モデルのない場合、青線が LSI 負荷モデルのある状態での Point B、水色線が Point A の特性であるが、LSI 負荷モデルの有無で数十 MHz 以上の電源-GND インピーダンス特性が全く異なっていることが分かる。

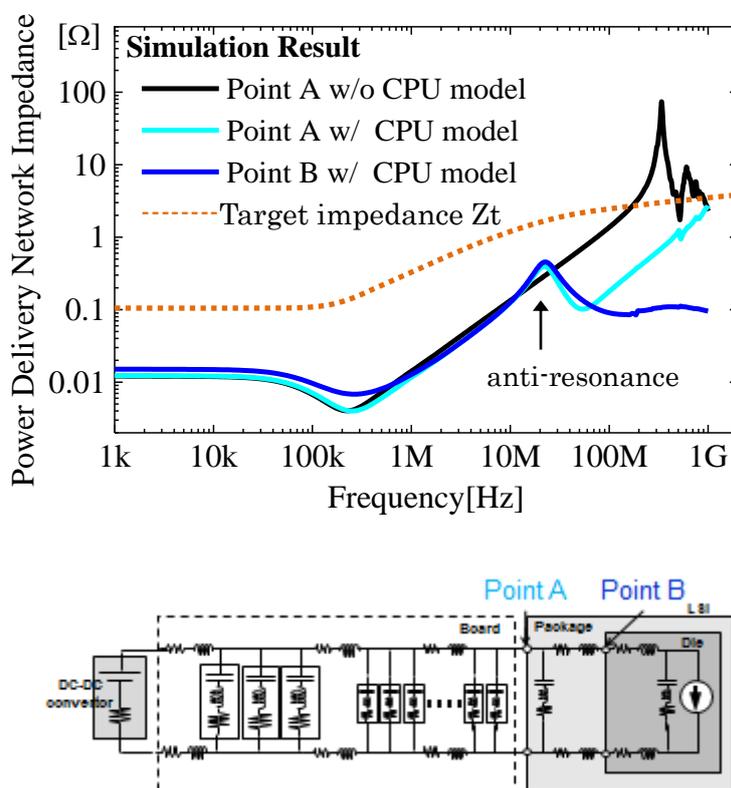
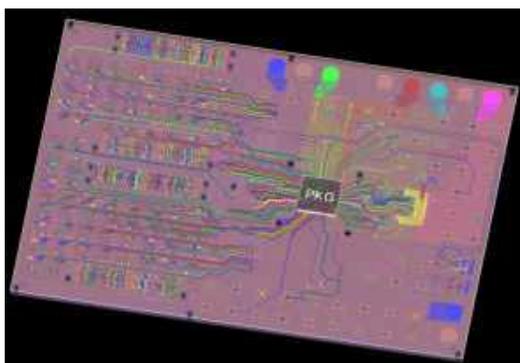


図 4.1.1 LSI 負荷モデル有無による PDN 特性の差

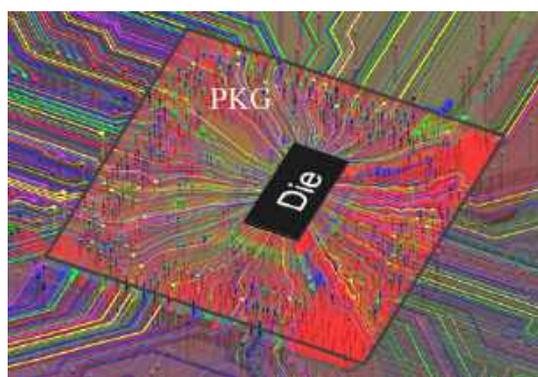
ここで LSI 負荷ありモデルの Point A および B の特性を抽出するには、図 4.1.2 のように LSI のパッケージ、ワイヤーボンディング等を正確にモデル化する必要がある[23-25]。しかし、LSI 情報(パッケージ情報も含む)は LSI ベンダのみが保持する情報であり、通常公開されることは稀である[26]。

したがって、他社 LSI を使用するモジュール設計や PCB 設計では、10MHz 以上の高周波領域を正確にモデル化することができず、本来は図 4.1.1 の青線が示す様に、既に全帯域で

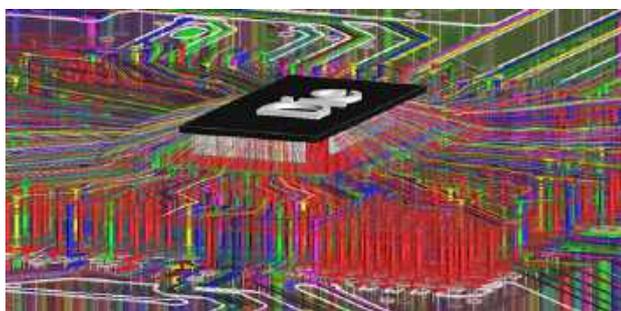
ターゲット・インピーダンスを満たしている場合でも、LSI 負荷情報がない場合は黒線で判断するしかなく、ターゲット・インピーダンスを満たすように過剰にデカップリング・コンデンサを配置することになる。また 20MHz 付近にある PCB とパッケージの反共振も黒線で観測することができず対策が取れない。そこで、LSI やパッケージの情報がない場合でも LSI 負荷情報を抽出する手法について検討する[27]。



(a) PCB 基板データ



(b) パッケージ基板データ



(c) ワイヤーボンディングデータ

図 4.1.2 LSI 負荷有りモデルの PCB とパッケージ基板データ

LSI 負荷情報は、**図 4.1.3** に示す通り LSI が実装された PCB 基板の測定結果から、LSI が実装されていない PCB 基板の解析結果を差し引く（差分を取る）ことで抽出する。

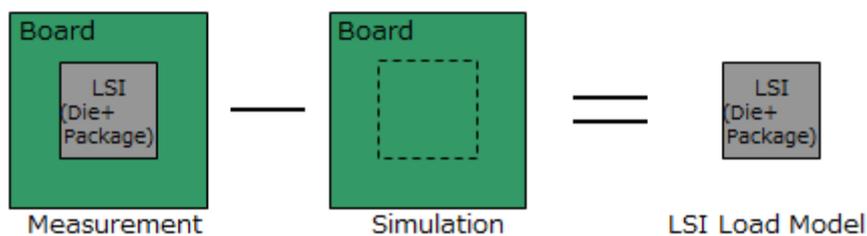


図 4.1.3 LSI 負荷情報の抽出方法の概要

具体的には、**図 4.1.4** に示すように DC/DC コンバータから LSI までの関係を、基板間の縦続行列 F パラメータ（ABCD パラメータ） $[F_{PCB}]$ で定義すると、電流および電圧の関係を式 (4.1.1)、(4.1.2) で表すことができる。

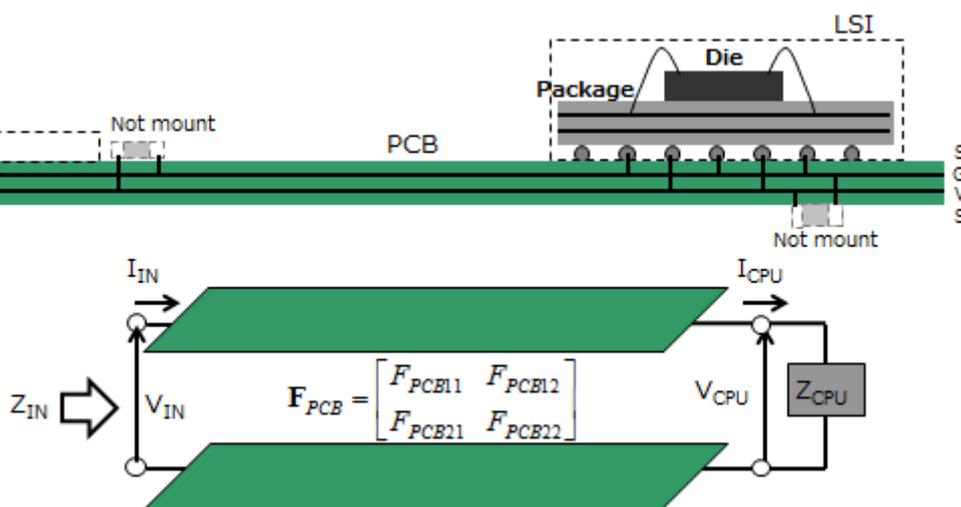


図 4.1.4 LSI 負荷情報の抽出方法

$$\begin{bmatrix} I_{IN} * Z_{IN} \\ I_{IN} \end{bmatrix} = \begin{bmatrix} F_{PCB11} & F_{PCB12} \\ F_{PCB21} & F_{PCB22} \end{bmatrix} \begin{bmatrix} I_{CPU} * Z_{CPU} \\ I_{CPU} \end{bmatrix} \quad (4.1.1)$$

$$\begin{bmatrix} \frac{I_{CPU}}{I_{IN}} * Z_{CPU} \\ \frac{I_{CPU}}{I_{IN}} \end{bmatrix} = \begin{bmatrix} F_{PCB11} & F_{PCB12} \\ F_{PCB21} & F_{PCB22} \end{bmatrix}^{-1} \begin{bmatrix} Z_{IN} \\ 1 \end{bmatrix} \quad (4.1.2)$$

ここで左項の $[F_{PCB}]^{-1}$ は、式(4.1.3)によってSパラメータから変換できる $[F_{PCB}]$ の逆数である。このSパラメータはLSIが搭載されていない状態のPCB基板の設計データから解析により求めることができる。

$$\begin{bmatrix} F_{PCB11} & F_{PCB12} \\ F_{PCB21} & F_{PCB22} \end{bmatrix} = \frac{1}{2 \times S_{21}} \begin{bmatrix} (1+S_{11})(1-S_{22})+S_{12}S_{21} & [(1+S_{11})(1+S_{22})-S_{12}S_{21}] \cdot Z_{ref} \\ \frac{(1-S_{11})(1-S_{22})-S_{12}S_{21}}{Z_{ref}} & (1-S_{11})(1+S_{22})+S_{12}S_{21} \end{bmatrix} \quad (4.1.3)$$

また Z_{IN} はDC/DCコンバータから見た電源-GNDインピーダンスであり、これはLSIの搭載した基板を用いてDC/DCコンバータ側から測定したS11より式(4.1.4)で抽出することができる。

$$Z_{IN} = \frac{50 \times S_{11}}{2 \times (1 - S_{11})} \quad (4.1.4)$$

式(4.1.3)の逆行列と、式(4.1.4)で算出した値を式(4.1.2)に入れ、 $\frac{I_{CPU}}{I_{IN}} * Z_{CPU} = a$,

$\frac{I_{CPU}}{I_{IN}} = b$ とすると、 Z_{CPU} は式(4.1.5)から抽出することができる。

$$Z_{CPU} = \frac{a}{b} \quad (4.1.5)$$

すなわち、以下図4.1.5のフローでLSIの負荷情報を抽出する。

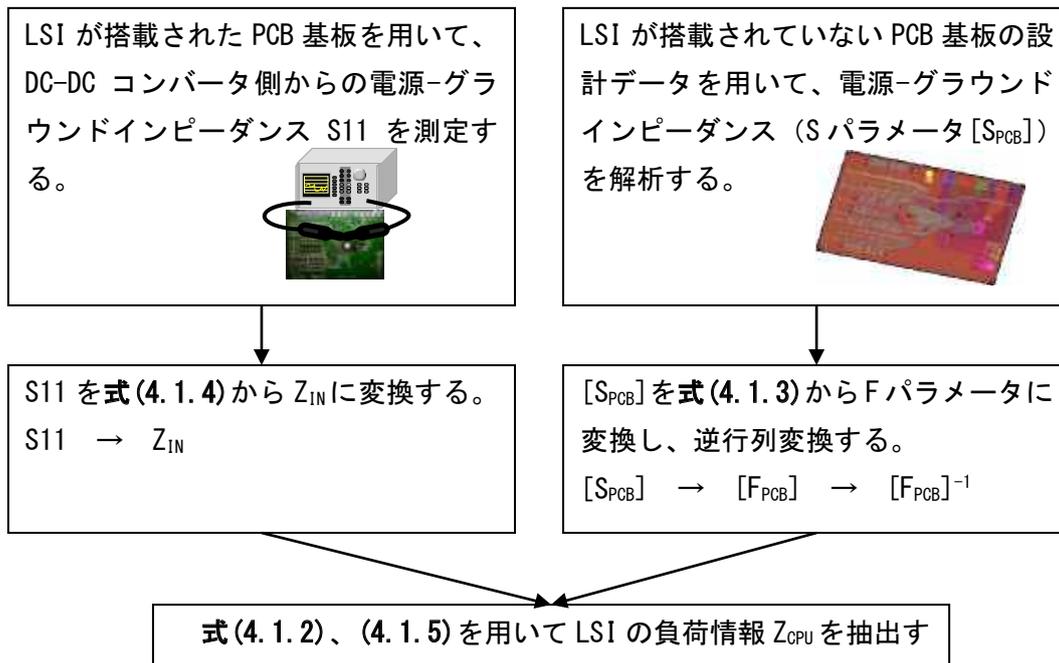


図 4.1.5 LSI 負荷情報抽出フロー

(1) Z_{IN} の算出

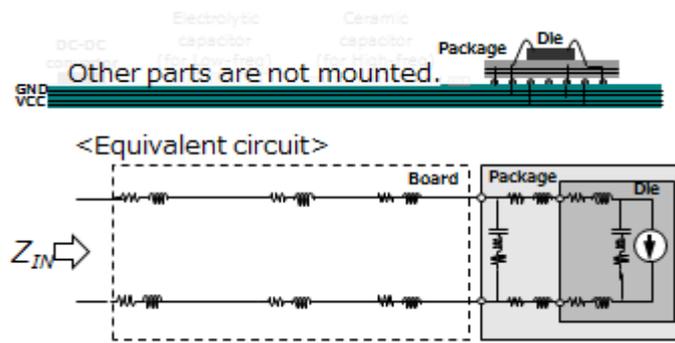
LSI が実装された PCB 基板を図 4.1.6 に示す。基板には LSI のみが実装されており、DC/DC コンバータの実装位置近くに Port1 を設定し、電源-グラウンド間のインピーダンスを測定した。測定器は、ネットワーク/インピーダンス・アナライザ (Agilent 社製 E8361C) を用い、周波数範囲は 10 [MHz] ~ 1 [GHz] とした。測定状況を図 4.1.7 に示す。測定方法は Shunt-Thru 法を用いた。Shunt-Thru 法は、 S_{21} の測定結果が DC/DC コンバータから見た基板の S_{11} に該当することになる。これら測定結果から Z_{IN} へ変換した結果を図 4.1.8 に示す。



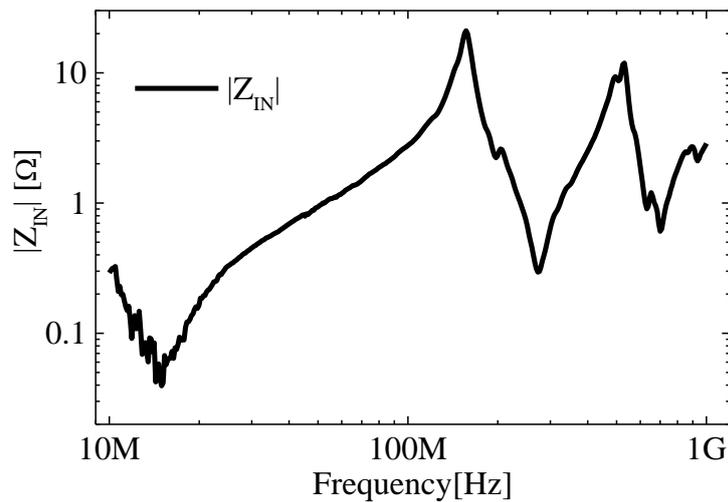
図 4.1.6 LSI のみが実装された測定用 PCB 基板



図 4.1.7 電源-グラウンドインピーダンス測定



(a) Z_{IN} の等価回路



(b) 測定結果の S11 から Z_{IN} 変換結果

図 4.1.8 LSI のみが実装された PCB 基板の電源-グラウンドインピーダンス測定結果

(2) $[F_{PCB}]$ の算出

LSI が搭載されていない PCB 設計データを用いて $[S_{PCB}]$ を計算する。シミュレーターは PowerSI (Ver10.1) (Cadence 社製) を用いた。PCB 設計データを図 4.1.9 に示す。また、層構成は 4 層貫通で、層間距離や物性値は表 4.1.1 の通りである。解析条件は図 4.1.10 に示す通り Port 1 を測定と同じ場所に、Port 2 は LSI 直下の Port1 から最も遠いところに設定した。

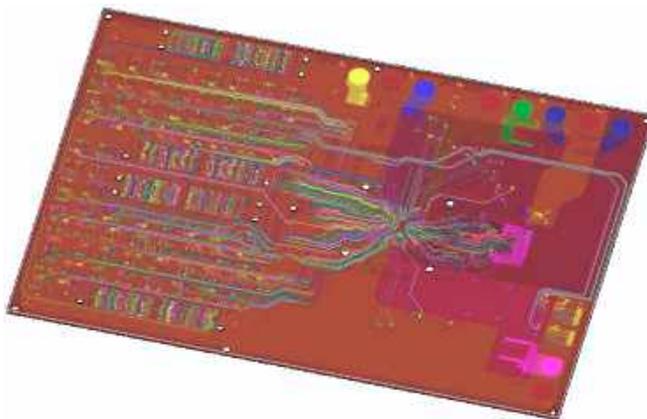


図 4.1.9 LSI が搭載されていない PCB 基板のシミュレーションモデル

表 4.1.1 層構成

層	S/V/G	材料	厚み [mm]	伝導率 [S/m]	比誘電率	Tan δ
		Solder Resist	0.030		3.600	0.010
1	S	Copper+Plating	0.048	5.80E+07		
		P.P	0.110		4.600	0.016
2	G	Copper	0.035	5.80E+07		
		Core	1.130		4.600	0.016
3	V	Copper	0.035	5.80E+07		
		P.P	0.110		4.600	0.016
4	S	Copper+Plating	0.048	5.80E+07		
		Solder Resist	0.030		3.600	0.010

$[S_{PCB}]$ の S11 から Z_{PCB} を計算した結果を図 4.1.11 に示す。この $[S_{PCB}]$ を用いて、式 (4.1.3) より $[F_{PCB}]$ および $[F_{PCB}]^{-1}$ を求めた。

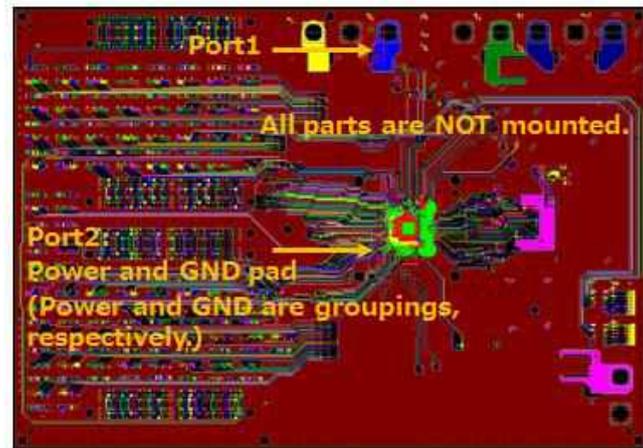
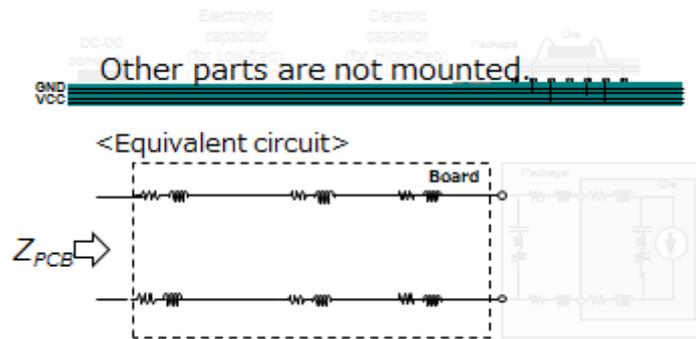
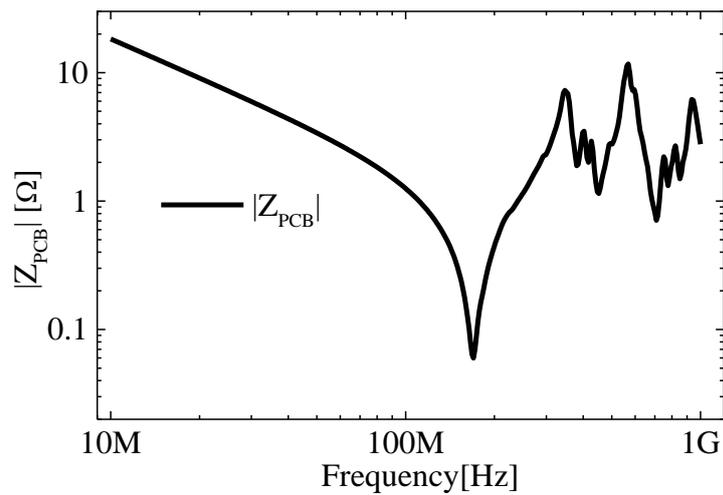


図 4.1.10 解析設定条件



(a) Z_{PCB} の等価回路

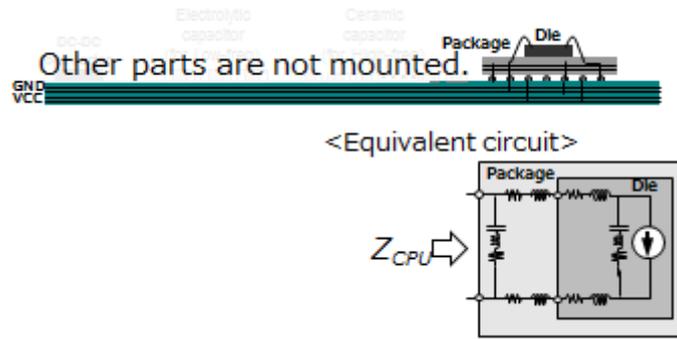


(b) 解析結果の S11 から Z_{PCB} 変換結果

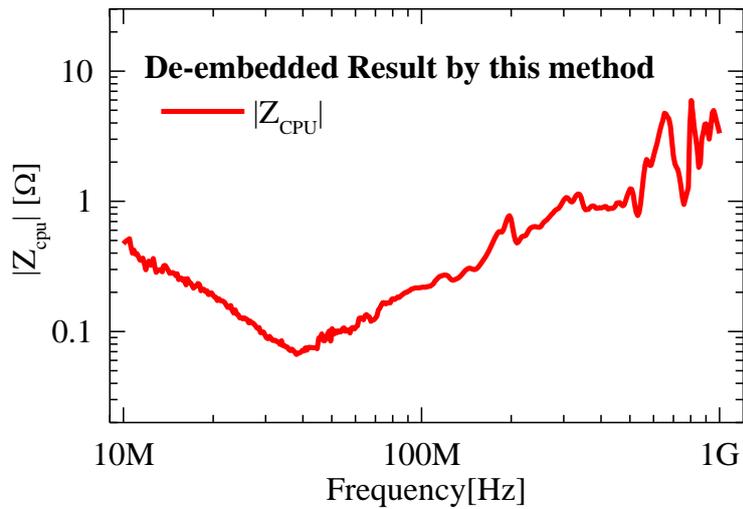
図 4.1.11 LSI が搭載されていない PCB 基板のシミュレーション結果

(3) Z_{CPU} の抽出

(1) で求めた Z_{IN} と (2) で求めた $[F_{PCB}]^{-1}$ を使って、式 (4.1.2)、(4.1.5) より LSI 負荷情報 Z_{CPU} を抽出した結果を図 4.1.12 に示す。



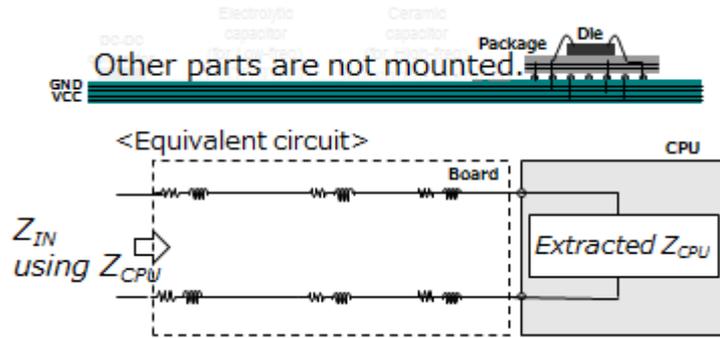
(a) Z_{CPU} の等価回路



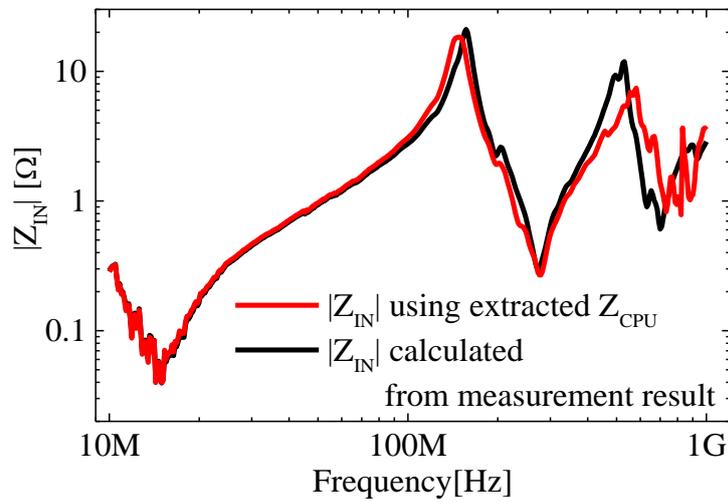
(b) 抽出した Z_{CPU}

図 4.1.12 本手法を用いて抽出した Z_{CPU}

この抽出した Z_{CPU} の正確さを検証するため、抽出した Z_{CPU} を解析モデルに組み込み Z_{IN} を解析した結果と、図 4.1.8 の測定結果 Z_{IN} を比較した結果を図 4.1.13 に示す。両者ともよく一致しており、本手法によって LSI 負荷モデルを正確に抽出できていることが確認できた。



(a) 抽出した Z_{CPU} を組み込んだ時の Z_{IN} の等価回路



(b) 解析と実測の Z_{IN}

図 4.1.13 抽出した Z_{CPU} を用い解析した Z_{IN} (赤線) と、実測結果の Z_{IN} (黒線) の比較

さらに、抽出した Z_{CPU} を用いて図 4.1.1 の Point A での PDN を解析した結果を図 4.1.14 の緑線で示す。比較のため、LSI の設計データから求めた Point A での PDN 計算結果(図 4.1.1 の水色線)も合わせて表示する。

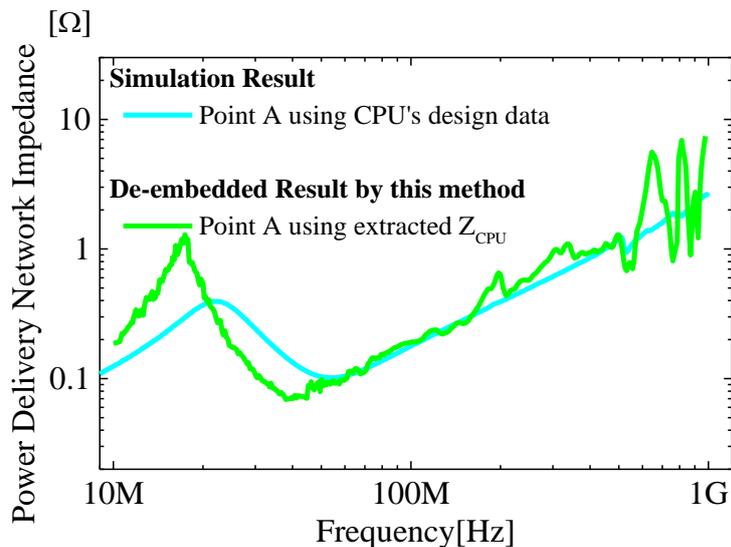


図 4.1.14 抽出した Z_{CPU} を用いた Point A の PDN

以上より図 4.1.14 に示す通り両者ともよく一致しており、仮に LSI の設計情報が入手できなくても本手法を用いることで LSI の負荷情報を抽出できることが証明できた。

今回の例では、 Z_{CPU} は 40MHz 以上になると単調に増え続け(図 4.1.12)、それに合わせて PDN も 40MHz 以上で上昇している(図 4.1.14)。これは 40MHz 以上のインピーダンスは LSI (パッケージを含む)のインダクタンス成分が支配的であることを示しており、40MHz 以上のインピーダンスを下げるにはパッケージを含む LSI の容量成分を増やすしかなく、PCB 基板の対策では効果がないことを意味している。

LSI 負荷情報がない時と、本手法で LSI 負荷情報を抽出した時の PDN を図 4.1.15 に示す。これまで LSI 負荷情報がない場合、モジュール設計は PCB 基板側でどこまでの周波数の対策を取るべきか不明であったが、今回の手法を用いることで対策周波数を明確にすることが可能となった。今回の例では、モジュール設計は 40MHz 以下を対策するしかなく、それ以上の対策は LSI (パッケージを含む)側に容量を増やす依頼をするしかない。

また LSI 負荷情報を入れた場合、20MHz 付近で急激にインピーダンスが高くなっているが、これは PCB と LSI (主にパッケージ)の反共振である[28-30]。これを対策するには、

- ・ PCB 基板側の対策で 20MHz 付近のインピーダンスを下げる
- ・ この電源ライン近くに 20MHz 成分を持つ信号波形を配置しない
- ・ 電源/グラウンドプレーン形状は特に 20MHz で共振しない

などが挙げられるがこれも LSI 負荷情報がないと分からない情報である。

以上より、本手法を用いることで高周波領域の対策精度を高めることが可能となり、高周波対策部品であるセラミックコンデンサの最適化を図ることができた。

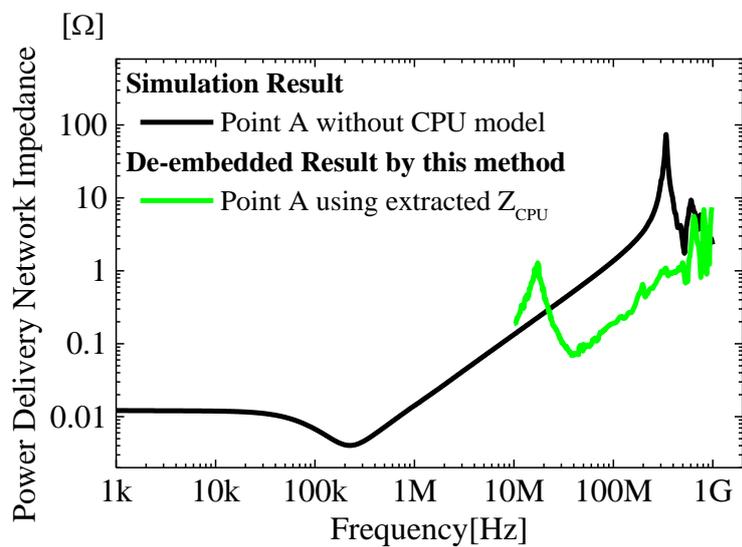


図 4.1.15 CPU 負荷有無による PDN インピーダンスの比較

4.2 DC/DCコンバータの電源ーグランド解析モデル構築方法

低周波(1kHz~100kHz)のインピーダンス値に対する寄与度の高い有意(p 値 0.05 以下)な制御因子は、**図 2.3.11**に示す通り DC/DC コンバータの FET オン抵抗、コイル、大容量コンデンサ(バルク・コンデンサ)である。それにも関わらず、これまで DC/DC コンバータの High 側 FET がオンする場合と Low 側 FET がオンする場合とで区別して動作を定義していなかった。そのため、確実に動作するよう過剰気味に大容量コンデンサを配置する傾向にあった。

そこで、DC/DC コンバータの動作を正確に表現し、低周波領域での精度の高い電源ノイズ解析を実現することで、大容量コンデンサ(バルク・コンデンサ)をさらに最適化(最小化)できないか検討する。

DC/DCコンバータの動作を実測しモデルを作成した時の確からしさを検証するために、**図 4.2.1**に示すDC/DCコンバータ素子評価用のMAXIM社製電源評価基板 (MAX17034EVKIT+) を用いて、電源インピーダンス測定を実施した。その等価回路を**図4.2.2**に示す。

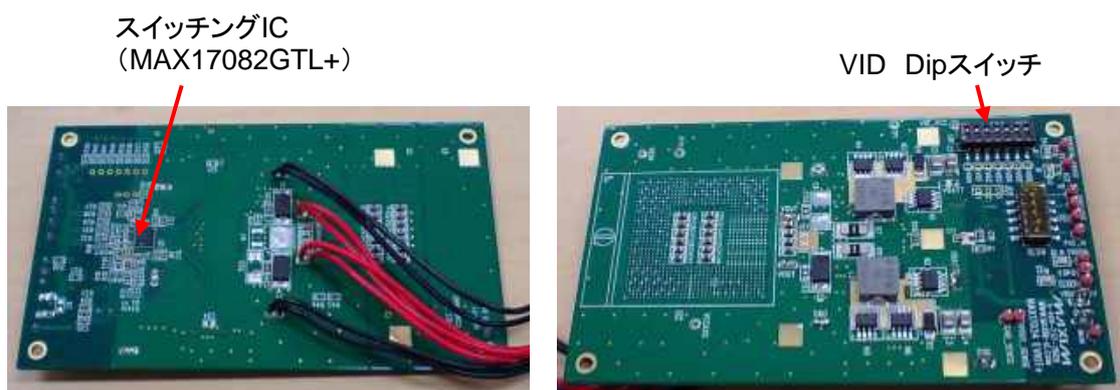


図4.2.1 電源評価基板

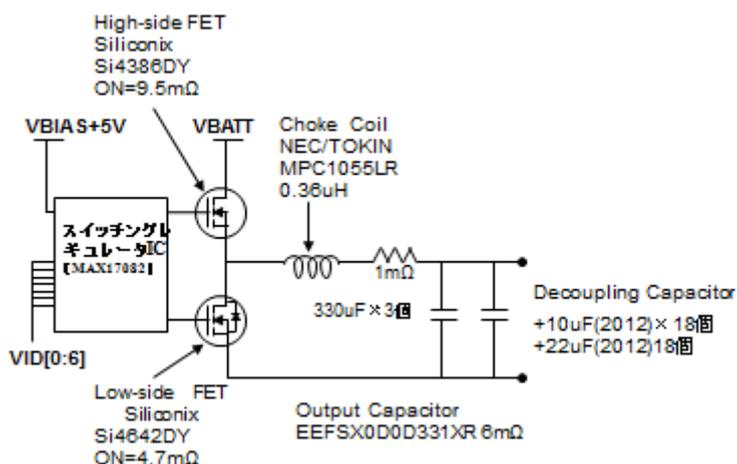


図4.2.2 電源評価基板の等価回路

この評価基板を動作させた時のスイッチング・レギュレータのHigh側FETおよびLow側FETの動作波形を図4.2.3に示す。

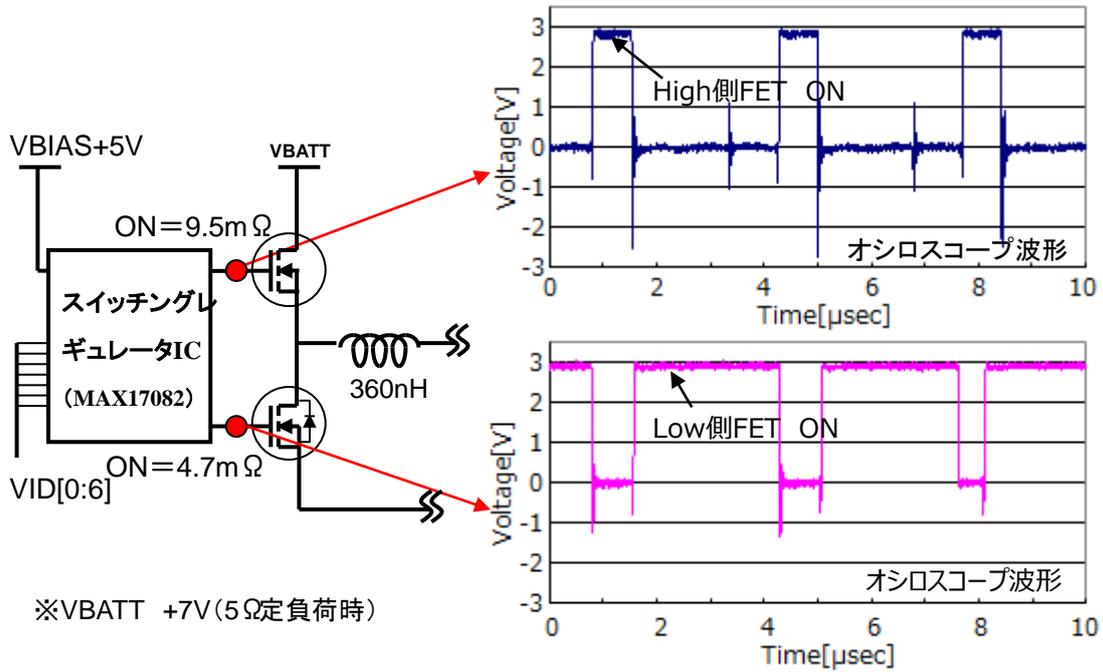


図4.2.3 スwitchング・レギュレータの動作波形
(上段：High側FETオン、下段：Low側FETオン)

この動作時のHigh側FETがオンした場合と、Low側FETがオンした場合のLSI側から見たインピーダンスを測定する。測定機器は、Agilent社製4395A ネットワーク/スペクトラム/インピーダンス・アナライザを用いた(図4.2.4)。

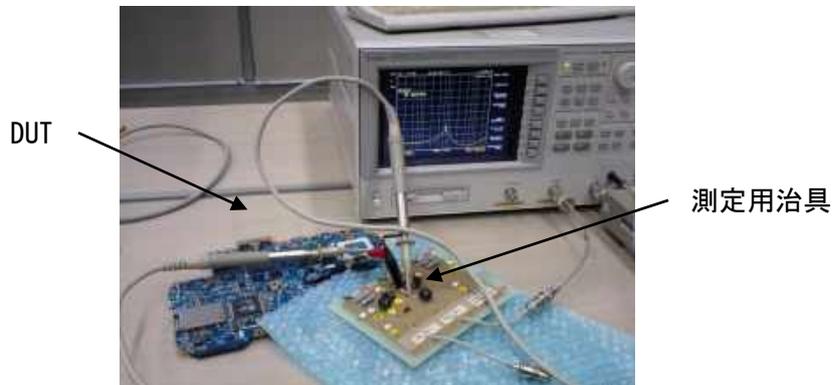


図4.2.4 ネットワーク/スペクトラム/インピーダンス・アナライザ

インピーダンスの測定結果を図4.2.5に示す。本結果により、数十kHz以下ではスイッチング・レギュレータHigh側FETがオンの時はインピーダンスが高く、Low側FETがオンの時は低いことが分かる。この結果を元に、数十kHz以下でスイッチング・レギュレータの動作によってインピーダンスが変わる現象について考察する。

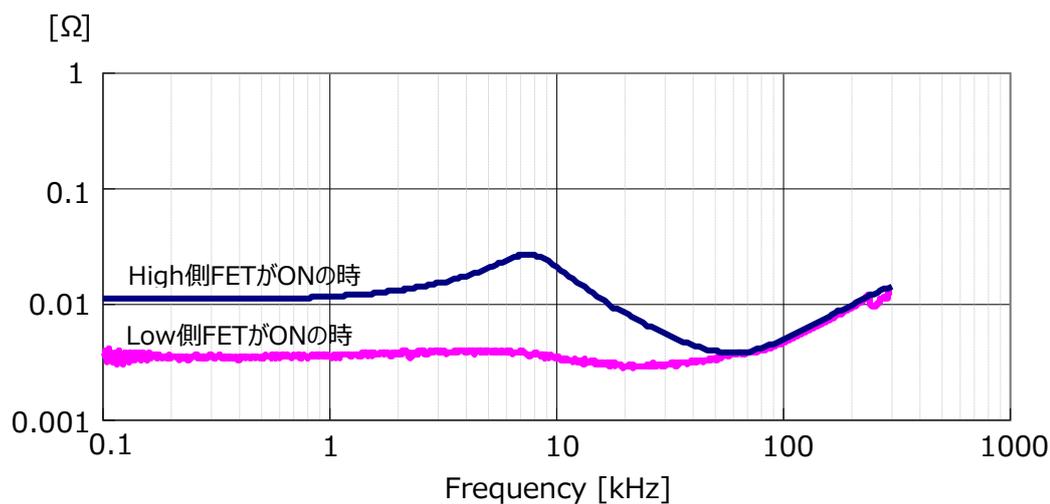


図4.2.5 電源インピーダンス測定結果

スイッチング・レギュレータのHigh側FETがオンの時、電圧モードのオープン・ループとなるため、電流の流れは図4.2.6のようになる。

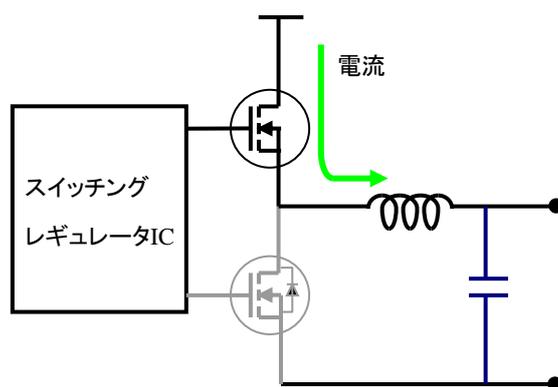


図4.2.6 スwitching・レギュレータのHigh側FETがオンの時の電流状態

したがって、High側FETが電圧制御電流源となり、**図4.2.7**のようにみなすことができる。

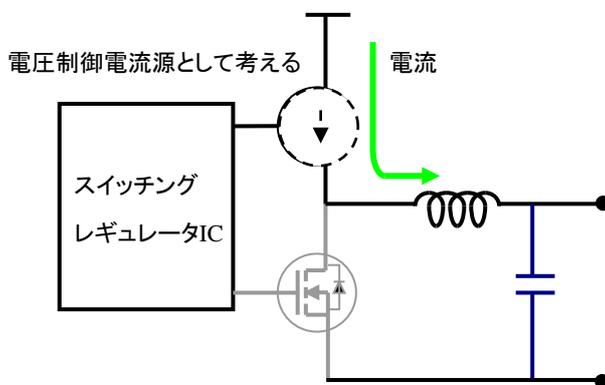


図4.2.7 High側FETの状態

すなわち、スイッチングレギュレータのHigh側FETがオンの時の等価回路は**図4.2.8**と表すことができる。

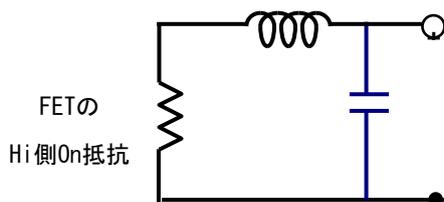


図4.2.8 スイッチングレギュレータのHigh側FETがオンの時の等価回路

一方、スイッチングレギュレータのLow側FETがオンの時、電流モードのクローズド・ループとなるため電流の流れは**図4.2.9**のようになる。

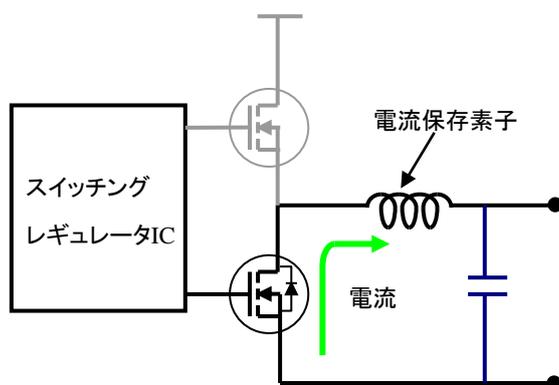


図4.2.9 スイッチングレギュレータのLow側FETがオンの時の電流状態

したがって、Low側FETはGNDと接続され、コイルが電流保存素子として電流源となり、**図4.2.10**のようにみなすことができる。

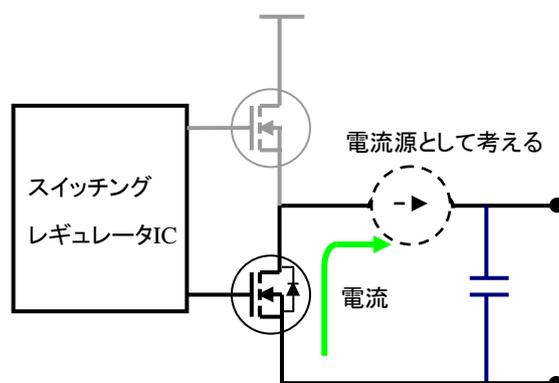


図4.2.10 Low側FETの状態

すなわち、スイッチング・レギュレータのLow側FETがオンの時の等価回路は**図4.2.11**とすることができる。

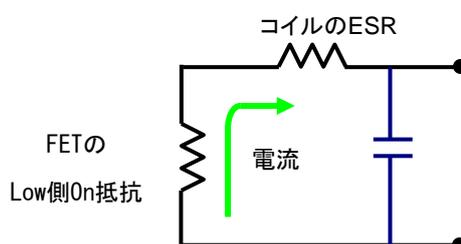


図4.2.11 スwitching・レギュレータのLow側FETがオンの時の等価回路

スイッチング・レギュレータのHigh側FETがオンの時の等価回路(**図4.2.8**)と、Low側FETがオンの時の等価回路(**図4.2.11**)を用いて、電源-GNDインピーダンス解析をした結果を**図4.2.12**に示す。実測結果と一致するか確認するため、**図4.2.5**の実測結果も合わせて示す。その結果、**図4.2.12**に示す通り、シミュレーション結果も実測同様、数十kHz以下では、High側FETがオンの時インピーダンスが高く、またLow側FETがオンの時インピーダンスが低くなり、実測結果と一致した。なお、数十kHz以上で実測とシミュレーションが合わないのは測定治具のライン・インダクタンスが観測されているためである。

以上より、Low側FETで動作している場合と、High側FETで動作している場合でインピーダンスが異なることが実測および解析で確認された。

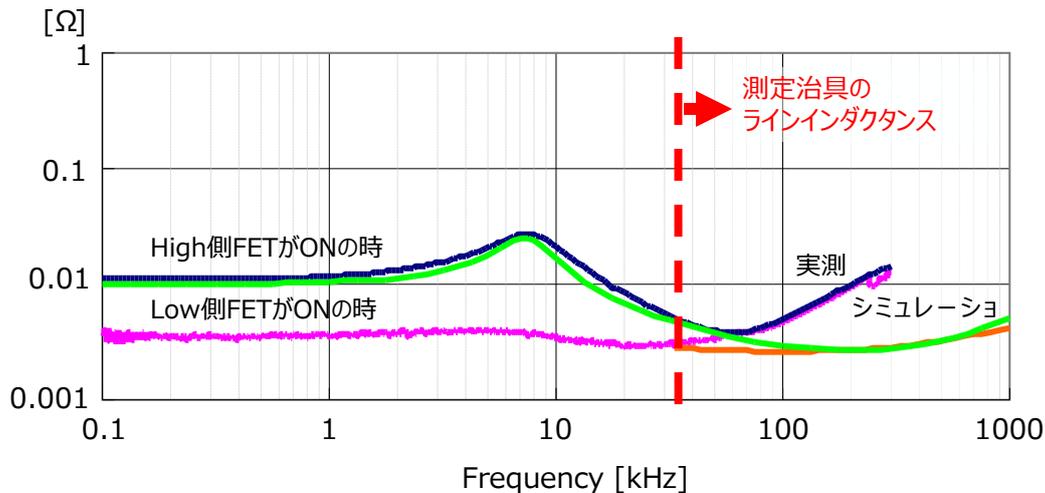


図4.2.12 電源インピーダンス実測および解析結果

これまで述べてきた通り、電源設計は、一般に電源ーグランド・インピーダンスがZtを下回るように大容量コンデンサおよびデカップリング・コンデンサの配置を行なう。本章で低周波の電源ーグランド・インピーダンスを分析した結果、High側FETがオンする時はコイルのインダクタンス成分があるためインピーダンス値の高いモードになり、Low側FETがオンする時はコイルのインダクタンス成分が見えない分インピーダンス値が低いモードになる。

これらのモードは、図4.2.3のスイッチング波形（オシロスコープ波形）が示す通り、スイッチング・レギュレータのHigh側FETがオンしている間はLow側FETがオフし、逆にLow側FETがオンしている間はHigh側FETがオフしてモードへ切り替わるため、どちらのモードを扱うかによって設計対策が異なる。すなわち、LSIの負荷が大きい場合は、High側FETのオン時間が長くなりインピーダンス値の高いモードとなるため、デカップリング・コンデンサは多く実装する必要がある。一方、LSIの負荷が小さい場合はLow側FETのオン時間が長くなるため、LSIの必要とする電流量を供給する際に供給の困難な時間が一瞬発生する可能性はあるが、すぐにLow側へ切り替わるため、インピーダンス値の低いモードの扱いで十分になる。その中間は両モードのインピーダンス値の中間を取る。

以上より、High側FETがオンする一周期の割合をTime_high_onとすると、扱うインピーダンス曲線は以下で定義することができる。

Time_high_on > a : High側FETがオンのインピーダンス曲線
a > Time_high_on : Low側FETがオンのインピーダンス曲線

ここでaの値はLSIが必要とする電流量の供給が困難になると動作しなくなる限界点で、これはLSIによって決まる。大容量コンデンサは電源ノイズ抑制用の役割の他に、DC/DCコンバータの平滑回路としても機能しており、実際に削減する場合は注意を必要とするが、

今回定めたインピーダンス曲線を用いて、ターゲット・インピーダンスを下回るように大容量コンデンサを配置することで、大容量コンデンサを最適化(最小化)することが可能となる。

第5章 e-モジュール新設計手法の適用例と将来技術

これまでの設計技術の適用事例と将来展開について述べる。適用事例として、近距離無線転送モジュール (TransferJet™) の開発事例について述べる。また将来展開として、現在課題となっている配線等にグラフェンなど新材料を用いた場合のデジタル機器での仮想設計とその効果について述べる。

5.1 TransferJet™モジュール開発への新設計手法適用

TransferJet™とは機器同士を3cm以内に近づけるだけで、HD動画など重たいコンテンツを最高375Mbpsの高速データ転送ができる近接無線規格である。これまで東芝ではTransferJet™に対応した無線通信IC「TC35420AXLG」を量産していた。このICチップはサイズ4mm×4mmで、81ボールのLGAパッケージを封止したものである。今回、これまでの設計技術の適用事例としてこのICチップにRFマッチング回路や水晶発振器、デカップリング・コンデンサ、パスコンなど周辺部品を加えたモジュール設計に展開してみた。

図5.1.1はこれまでの一般的な設計手法で実施した例である。この場合、実装面積は8mm×8mmになってしまう。またICチップのまま使用すると、機器メーカー側でRFマッチングやノイズを落とす設計が必要になる。

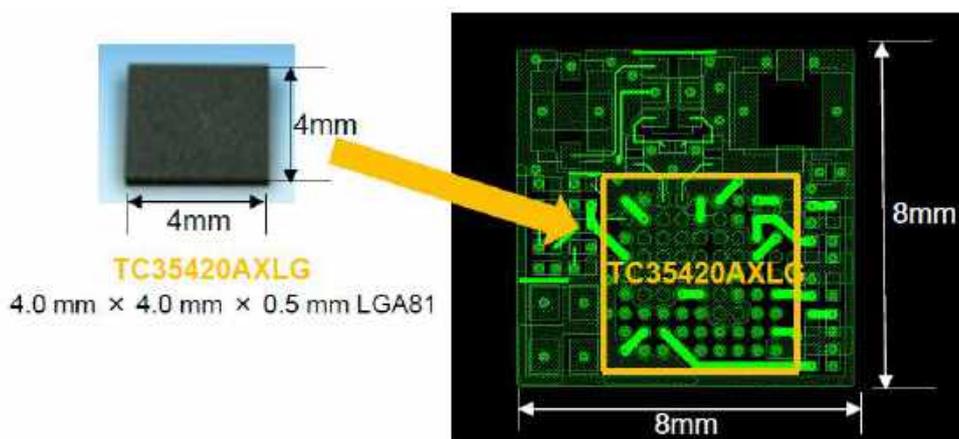


図 5.1.1 一般的な設計手法で設計した事例

これを図2.0.1のように低背・小型部品の採用、極薄のIC内蔵基板、極薄シールド設計、高周波電気特性と大きさのトレードオフ設計といった対策を行ないモジュール化し、図2.0.2に示す通り、基板の実装面積を約64%削減することに成功した。

具体的には、LSI 内部の動作を考慮した部品モデル化と統合解析により、LSI 内部からモジュール端子までをインピーダンス整合した対策の一部を図 5.1.2 に示す。モジュール基板の表層を 50Ω で配線するために配線幅を調整する必要があるが、部品 PAD 部分は配線幅に比べ PAD 幅が広くなる分インピーダンスが低くなるため、2 層目以下の GND 面をくり貫いてインピーダンスを 50Ω に近づけた。また PAD から出る配線は GND 面をくり貫くことによってインピーダンスが高くなり過ぎないようにリターンパスを確保した。

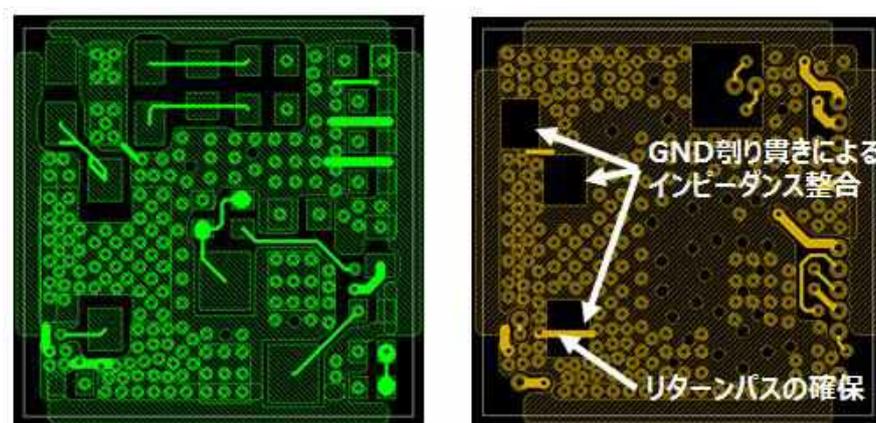
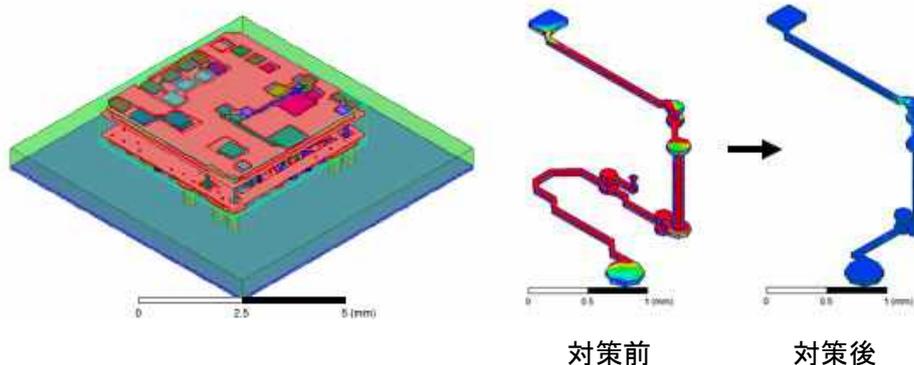


図 5.1.2 3D 構造での表層 50Ω 配線のポイント

また EMI 対策用に共振解析(固有値解析)を実施し、図 5.1.3 に示す通り、無線動作周波数 4.5GHz の 2 倍高調波である 9GHz で共振する配線を見つけ、配線長を短くする対策を行なった。

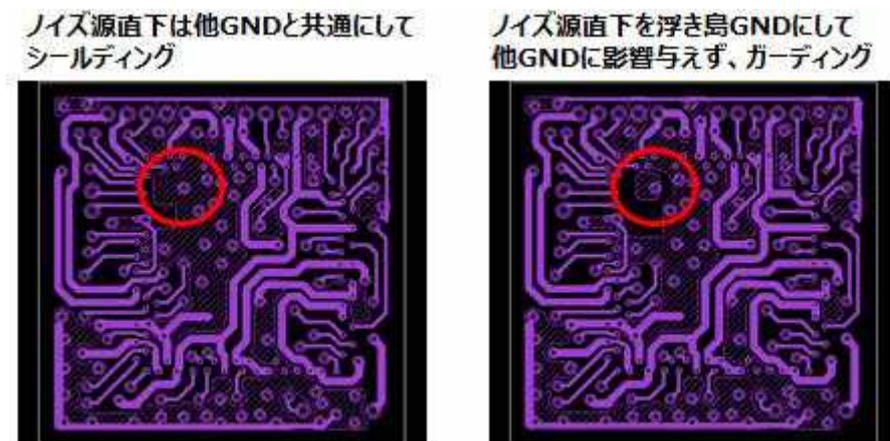


(1) 3D 構造モデル化

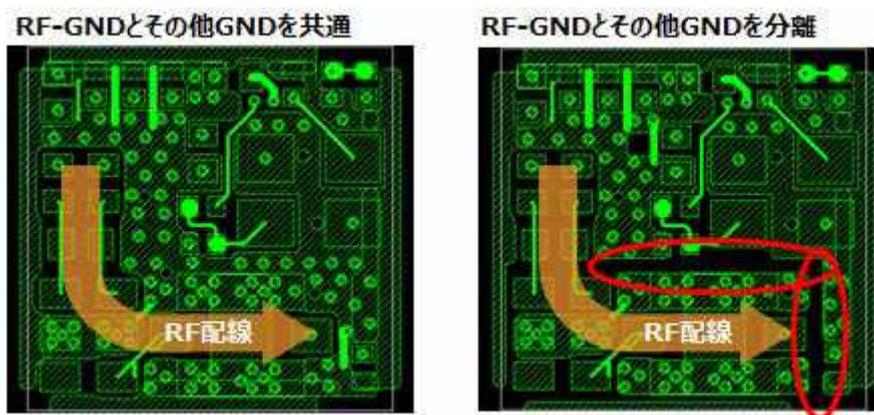
(2) 共振解析結果

図 5.1.3 モジュールの共振解析結果とその対策

ノイズ伝播解析では LSI 内のアナログ部分であるコイルをノイズ源として、3D 構造のモジュール内をどのようにノイズが伝わるか解析を行い、モジュール外へのノイズ伝播防止対策で有効であった設計方法を図 5.1.4 に示す。

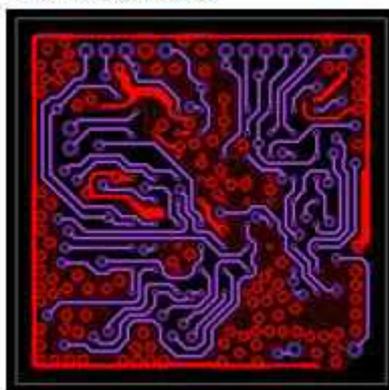


(1) ノイズ源直下 GND の扱い(共通 GND の方がベター)



(2) RF-GND の扱い(共通 GND の方がベター)

GND分離を無くす



(3) GND 全般の扱い

図 5.1.4 3D 構造のモジュールにおけるノイズ対策事例

5.2 デジタルモバイル機器へ適用可能な将来技術

IoT 時代になるとセンシング・デバイスは地球上のありとあらゆるところへ配置されることになる。その際、課題になってくるのが、

- ・ (太陽光など) 少ない電力でも動作する電力変換効率の高いモジュール
- ・ ありとあらゆるところ(わずかな空間)に設置できるよう更なる小型化モジュール
- ・ (雷、静電気、高温多湿など) 劣悪な環境でも動作する環境耐性の高いモジュール

などの実現である。そこで、表 5.1 に示すように、Si に比べ禁制帯幅 E_g が約 2 倍、熱伝導度 k が約 3 倍、飽和電子ドリフト速度が約 2 倍、絶縁破壊電界 E_B が約 5 倍大きいなどの特徴を持つ化合物半導体の SiC (3C-SiC) をこれらのモジュールへ適用できないか検討を行った。

表 5.1 SiC と主な半導体材料の物性の比較

半導体	Si	GaAs	SiC			GaN	ダイヤモンド
			3C-SiC	4H-SiC	6H-SiC		
バンドギャップ[eV]	1.1135	1.428	2.20	2.86	3.02	3.39	5.47
結晶構造	ダイヤモンド	閃亜鉛 鋳型	閃亜鉛 鋳型	六方	六方	ウルツ 鋳	ダイヤモンド
熱伝導度[Wc/mK]	1.51	0.54	4.9	4.9	4.9	1.3	20.9
電子移動度[cm ² /Vs]	1500	8500	800	460	1000	900	1800
正孔移動度[cm ² /Vs]	450	420	70	10	120	400	1600
飽和電子ドリフト速度 [cm/s]	1×10^7	2×10^7	2.7×10^7	2.0×10^7	2.7×10^7	2.7×10^7	2.7×10^7
絶縁破壊電界[MV/cm]	0.3	0.65	3.0	3.0	3.5	2.6	5.6

特に図 5.2.1 のように現在 LSI 集積回路などで一般的に使用されている SiO₂/Si 基板上の一部に SiC を堆積させて実現できないか検討を行なった。さらに、その SiC の一部を Si よりも約 200 倍電子移動度グラフェンやカーボンナノチューブ(CNT)にすることで、図 5.2.2 に示すようにグラフェン FET や CNT の TSV への展開の可能性について調査を行なった。

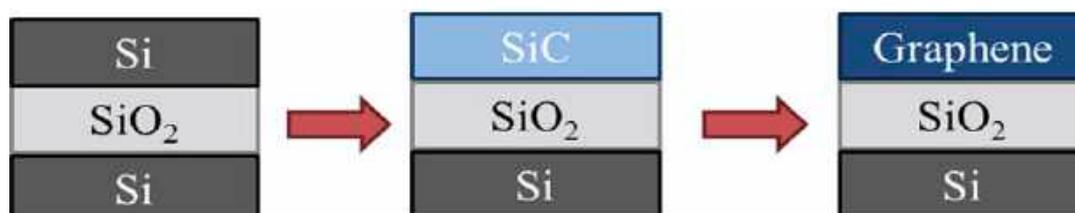


図 5.2.1 SiO₂/Si 基板上に堆積させた SiC およびグラフェン

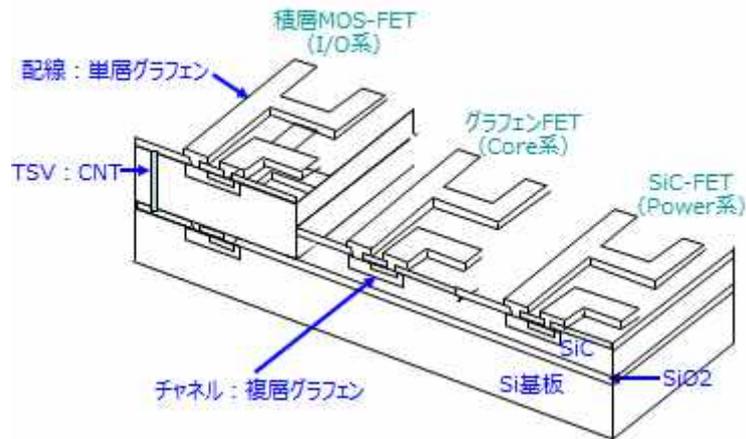
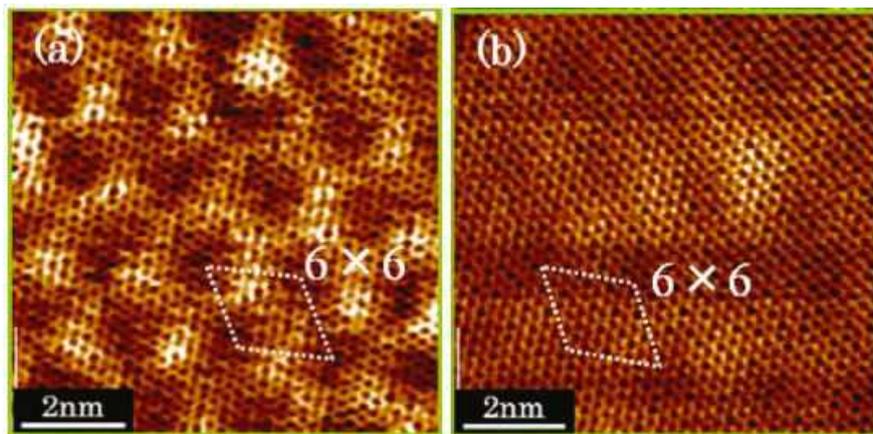


図 5.2.2 LSI 集積回路への SiC、グラフェン、CNT 使用応用例

具体的には Si/SiO₂/Si の構造を持つ SOI 基板を用い、急速炭化処理させて SiC/SiO₂/Si 構造を作製する。さらに SiC 表面分解法で SiC をグラフェンおよび CNT 化させる。本調査の結果、ソースガスにエチレン (C₂H₄)、キャリアガスに水素 (H₂) を用いて炭化温度 1170°C (裏面温度) の環境下、急速炭化処理させることにより SiC/SiO₂/Si 構造ができ、さらにそのサンプルに用いて、室温、加速電圧 1kV、照射量 4.5×10^{15} atoms/cm² の条件で Ar⁺ イオンビームを照射後、1200°C、1min のアニール処理 (SiC 表面分解法) により上部の SiC 膜をグラフェンおよび CNT 化させることに成功した [31-33]。図 5.2.3 は SiC 膜をグラフェン化した一例である。



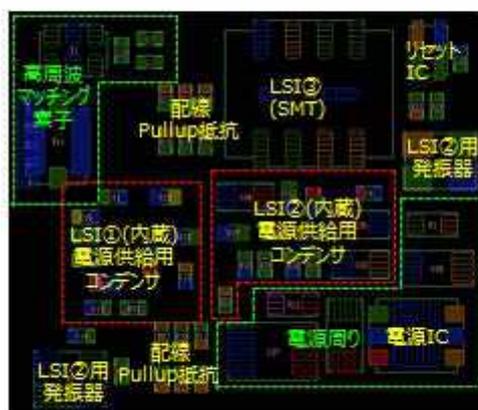
(a) Ar⁺イオンビーム照射なし (V_s=-1.5V バイアス) (b) Ar⁺イオンビーム照射有り (1keV、1 時間) (V_s=-1.8V バイアス)

図 5.2.3 アニール後の 3C-SiC(111) 表面の STM 画像

これらの技術を量産化させることにより、将来展開として、現在の5倍の耐圧、3倍の放熱性、省エネ50%削減のLSI実現の可能性を得ることができた。また、例えば図5.2.4のような通信機能入りのモジュールの場合、LSI①と②が基板内蔵され、モジュール基板の表層にそのLSI動作用の電源供給コンデンサと電源回路が実装されているが、今回の方法を用いてLSIの上面一部をSiCやグラフェン、CNTに置き換えることができるようになれば、LSIと電源ICを一つのLSIに取り込むことが可能となり、図5.2.5に示すようにモジュール基板の表層にあった電源供給コンデンサと電源回路は不要になり、実装面積を約50%削減できる可能性があることが分かった。



(a)断面図



(b)基板表層の部品実装面

図 5.2.4 通信機能入りモジュールの事例



(a)断面図



(b)基板表層の部品実装面

図 5.2.5 通信機能入りモジュールのLSIに新材料を応用した場合の可能性

第6章 結論

産業構造の変化によるコモディティ領域の変遷を分析した結果、デジタル機器は画一化され、設計および製造の仕方がこれまで行なわれてきた、すり合わせによる垂直統合型から組み合わせによる水平分業型へと大きく変わってきた。しかし昨今の IoT 技術により様々な情報をリアルタイムで共有化できる環境が整ってくると、特にモジュールの設計技術に注目した場合、単純な水平分業ではなく、機能の他に部品の調達やコスト、製造依頼先や加工フロー状況などを関連付けることで、これらの変更に関係側で過去の実例・成果にとらわれることなくダイナミックに対応することが重要となる。本論文ではこの新しいモジュール形態を「エコシステムを形成するモジュール(e-モジュール)」と再定義し、e-モジュールに必要な設計能力は、

- ①e-モジュールの協調設計環境
- ②製品レベルの協調設計を可能にする設計スキーム
- ③協調設計を可能にする高精度解析モデルの構築

の3点とした。すなわち①において、3D 構造を素早くモデル化し、LSI 内部まで考慮した統合解析により特性を含む品質をバーチャルに確認する環境を作り、最適化アルゴリズムで構造の最適化を行なうことでモジュールの品質を維持しつつコストやサイズ等を最小にする仕組みを実現した。②では、過去のモジュール設計データをライブラリ化しておき、製品全体の構想設計の段階から各部分の「仮想設計データ」を過去の設計ライブラリから構築し当てはめる手法を考案し、構想段階から製品全体の協調設計を可能とした。さらに、協調設計を高度化するために③において高精度解析モデルを構築した。特に LSI の電源設計では LSI 内部の配線構造も考慮して数値解析により正確なインピーダンス値を得る必要があるが LSI の設計データから解析モデルを構築するのは困難なため、PCB に実装された LSI の電源インピーダンスを反射係数計測により求めた上で、解析により求めた PCB の寄生成分を除去することで LSI 解析モデルを高精度に抽出する手法を考案した。本手法により、100MHz 以上までに対応できる解析モデルの構築に成功した。

以上により、競争の激しいデジタル機器開発の中で、特に協調設計を効果的に用いる手法を設計システムのレベルから要素設計のレベルまで体系化し、新しい着想による競争力の高いデジタル機器の開発環境を構築した。本研究で提案した設計技術は、今後デジタル機器の高性能化、小型化等に今後大いに貢献すると期待される。

謝辞

本研究を遂行するにあたり、終始ご指導、ご助言を頂きました、指導教官である九州工業大学大学院工学研究院電気電子工学研究系教授 大村一郎先生、ならびに、同大学大学院生命体工学研究科生体機能応用工学専攻教授 内藤正路先生に心より感謝申し上げます。さまざまな課題を学術的な観点から論理的に組み上げ体系化させていく手法を習得できたことは私にとって大切な財産となりました。本研究テーマにおいても本手法により考察の不足している部分が明確化され、その部分を埋めていくことで自分なりの深い考察へつなげることができました。

本論文を作成するにあたり、審査委員として多くのご助言を頂きました同大学大学院工学研究院電気電子工学研究系教授 和泉亮先生、中尾基先生に心より御礼申し上げます。

博士課程を遂行するにあたり、論文および書類作成でたくさんのご助言くださいました長谷川一徳先生、附田正則先生、安部征哉先生に感謝申し上げます。

いつも優しく気づかっただき、事務的な手続きをはじめさまざまなサポートをしていただきました大村研究室の岩堀美代さんに心から感謝いたします。登校した日に毎度出させていただく美味しいコーヒーのおかげで最後まで頑張ることができました。

博士課程へ進学したいという私の申し出に快く承諾してくださいました、会社の上司である株式会社東芝 セミコンダクター&ストレージ社システム・ソフトウェア推進センター 二宮良次センター長附に深く感謝申し上げます。

本研究におきましては、LPB モデルの国際標準化で大変お世話になっている株式会社東芝の福場義憲氏をはじめ、一般社団法人電子情報技術産業協会(JEITA)EDA 技術専門委員会のLSI パッケージボード(LPБ)相互設計ワーキンググループメンバーに深く感謝申し上げます。メンバーとのディスカッションを通じて、本研究テーマであるデジタルモバイル機器設計の各社が抱えている課題を一般化することができました。

設計スキームおよびシミュレーション技術の構築においては、私が所属している株式会社東芝 セミコンダクター&ストレージ社システム・ソフトウェア推進センターシステム実装技術担当のメンバー、ならびに、以前所属していた研究開発センターライフスタイルソリューション開発センター実装&パッケージング技術開発部第三担当のメンバーに深く感謝申し上げます。特に、LSI の電源-グランド解析モデル構築において多大な協力をして頂きました東芝デジタルメディアエンジニアリング株式会社 渡辺孝二氏に厚く御礼申し上げます。

SiC およびグラフェンの研究においては、同大学の重末貴寿技官、ならびに、内藤研究室のOB を含む学生の皆様に深く感謝申し上げます。特に、一緒に研究をした佐々木悠祐君、内田健太郎君、枝元太希君に深く感謝申し上げます。

最後に、いつも私の体調を気づかい温かく応援し続けてくれた最愛の妻 真理に心から感謝します。

参考文献

- [1] 総務省, 平成 25 年度版情報通信白書 “第 1 部第 1 章第 1 節「新たな IoT トレンド＝「スマート IoT」が生み出す国内の元気と成長」”
- [2] シスコシステムズ合同会社 IoT インキュベーションラボ, “Internet of Everything の衝撃 –IoT/M2M 基盤上で人・モノ・データ・プロセスがつながる”, impress R&D
- [3] ピーター・センメルハック(著), 小林啓倫(翻訳), “ソーシャルマシン M2M から IoT へつながりが生む新ビジネス”, 角川 EPUB 選書
- [4] クリス・アンダーソン(著), 関美和(翻訳), “MAKERS—21 世紀の産業革命が始まる”, NHK 出版
- [5] 倉本由香利, “グローバル・エリートの世界 –個人が国家を超え、国内の未来をつくる”, 講談社
- [6] 佐々木俊尚, “レイヤー化する世界 –テクノロジーとの共犯関係が始まる–”, NHK 出版新書
- [7] 佐々木俊尚, “世界を動かす「モバイルデバイス」最前線”, PHP オンライン, PHP 研究所
- [8] 藤本隆宏, 東京大学 21 世紀 COE ものづくり経営研究センター, “ものづくり経営学 –製造業を超える生産思想”, 光文社新書
- [9] 総務省, 平成 24 年度版情報通信白書 “第 1 部第 2 章第 2 節「スマートフォン・エコノミー」～スマートフォン等の普及がもたらす IoT 産業構造・利用者行動の変化～”
- [10] The Wireless M2M Bible – Opportunities, Challenges, Strategies, Industry Verticals and Forecasts: 2013-2018
- [11] The Wireless M2M & IoT Bible: 2014 - 2020 – Opportunities, Challenges, Strategies, Industry Verticals and Forecasts
- [12] 国土交通省, 国土交通月例経済(平成 16 年 1 月号) “交通系 IC カードの普及と設備投資状況について”

- [13] 総務省, 平成 26 年度版情報通信白書 “第 1 部第 4 章第 2 節「IoT のさらなる利活用の進展」”
- [14] K. Agawa, I. Seto, A. Happoya, Y. Iida, Y. Imaizumi, M. Okano et al, “3D-integrated, low-height, small module design techniques for 4.48GHz, 560MHz-bandwidth TransferJet™ transceiver”, Radio and Wireless Symposium (RWS), 2014 IEEE (2014)
- [15] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc and T. Roy, “Power distribution system design methodology and capacitor selection for modern CMOS technology”, IEEE Transactions on Advanced Packaging, Vol. 22, No. 3, pp.284-291, August 1999
- [16] B. Garben, R. Frech, J. Supper and M. F. McAllister, “Frequency Dependencies of Power Noise”, IEEE Transactions on Advanced Packaging, Vol.25, No.2, pp.166-173, May 2002
- [17] W. D. Becker, J. Eckhardt, R. W. Frech, G. A. Katopis, E. Klink et al, “Modeling, Simulation, and Measurement of Mid-Frequency Simultaneous Switching Noise in Computer Systems”, IEEE Transactions on Components, Packaging and Manufacturing Technology, Part B, Vol.21, No.2, pp.157-163, May 1998
- [18] 岡野資睦, “東芝が進める実装設計の「見える」化”, 半導体技術年鑑 2011 第 6 章 実装設計/熱設計 日経 BP
- [19] JEITA, EDA アニュアルレポート 2010, “2.2.6 章 LPB (LSI・パッケージ・ボード) 相互設計ワーキンググループ”, pp34-43
- [20] JEITA, EDA アニュアルレポート 2011, “2.4 章 LPB (LSI・パッケージ・ボード) 相互設計ワーキンググループ”, pp31-51
- [21] JEITA, EDA アニュアルレポート 2012, “2.3 章 LPB (LSI・パッケージ・ボード) 相互設計ワーキンググループ”, pp26-65

- [22] JEITA, EDA アニュアルレポート 2013, “2.3 章 LPB(LSI・パッケージ・ボード) 相互設計ワーキンググループ”, pp24-58
- [23] Alex Waizman, “CPU Power Supply Impedance Profile Measurement Using FFT and Clock Gating”, Electrical Performance of Electronic Packaging, 2003, pp.29-32, 27-29 Oct. 2003
- [24] W. J. Lambert, R. Ayyanar, “Estimation of Microprocessor Instantaneous Load Current for Voltage Regulator Optimization”, Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE, pp.1453-1459, 24-28 Feb. 2008
- [25] S. Chickamenahalli, K. Aygun, M. J. Hill, K. Radhakrishnan, K. Eilert, E Stanford, “Microprocessor Platform Impedance Characterization using VTT Tools” Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE, pp. 1466 - 1469 Vol. 3, 6-10 March 2005
- [26] N. Takahashi, M. Nose, S. kaeko and Y. Takahashi, “Analysis of Complete Power-Distribution Network and Co-Design Optimization”, Transactions of The Japan Institute of Electronics Packaging Vol.2, No.1, pp.69-74, 2009
- [27] M. Okano, K. Watanabe, M. Naitoh, and I. Omura, “New Measurement Base De-embedded CPU Load Model for Power Delivery Network Design”, 2015 9th International Conference on Power Electronics and ECCE Asia (IEEE), P1-3, pp.1-6, June 2015
- [28] W. Kim, “Estimation of Simultaneous Switching Noise From Frequency-Domain Impedance Response of Resonant Power Distribution Networks”, IEEE Trans. on CPMT, vol.1 no.9, pp.1359-1367, Sept 2011
- [29] T. Yamaguchi, K. Kurita and T. Sudo, “On-board snubber circuit for damping of anti-resonance peak in total PDN”, CPMT Symposium Japan, 2014 IEEE, pp. 91-94, Nov 2014

- [30] T. Watanabe O. Wada T. Miyashita and R. Koga, “Common-Mode-Current Generation Caused by Difference of Unbalance of Transmission Lines on a Printed Circuit Board with Narrow Ground Pattern”, IEICE Trans. Commun., vol. E83-B, no. 3, pp. 593-599, MARCH 2000
- [31] M. Naitoh, M. Okano, Y. Kitada, Y. Sasaki, Y. Okubo, D. Edamoto, M. Nakao, I. Omura, and T. Ikari, “STM Observation of Graphene Formation Using SiC-on-Insulator Substrates”, Surface Review and Letters, Vol. 18, No. 5, pp. 163-167, October 2011
- [32] 枝元太希, 早久和希, 岡野資睦, 坪井直也, 碓智徳, 中尾基, 内藤正路, “SOI 基板を用いたグラフェン形成に関する研究”, Journal of the Vacuum Society of Japan, Vol. 57, No. 4, pp. 144-146, January 2014
- [33] M. Okano, D. Edamoto, K. Uchida, I. Omura, T. Ikari, M. Nakao, and M. Naitoh, “Ion-Beam Irradiation Effect in the Growth Process of Graphene on Silicon Carbide-on-Insulator Substrates”, Materials Science Forum, Vols. 778-780, pp. 1170-1173, February 2014

図一覧

図 1.1.1	機能が集約されるデジタル機器	1
図 1.1.2	LSI 設計とデジタル機器設計の水平分業体制	2
図 1.1.3	“第三の産業革命”と“第四の産業革命”のモノ作りが扱う範囲	3
図 1.2.1	“第三の産業革命”前の電子機器の構成	4
図 1.2.2	“第三の産業革命”デジタル革命での電子機器の構成	5
図 1.2.3	“第三の産業革命”ネットワーク革命での電子機器の構成	6
図 1.2.4	“第三の産業革命”ユーザ革命での電子機器の構成	7
図 1.2.5	コモディティ領域の変化	8
図 1.3.1	スマートフォンの出荷台数	9
図 1.3.2	スマートフォンの世界市場のシェア	10
図 1.3.3	スマートフォンの地域別シェア	10
図 1.3.4	スマートフォンの中国市場とインド市場のシェア	11
図 1.3.5	LSI を扱い易くするモジュール	12
図 1.3.6	すり合わせ技術で構成されるモジュール	12
図 1.3.7	IoT 市場で求められるモジュール	14
図 1.3.8	センサーなど独自性ある技術を有したモジュール	14
図 1.3.9	データ加工の機能を有したモジュール	15
図 1.3.10	プラットフォームに最適化されたセンシング・デバイス	16
図 1.4.1	部品のエコシステム化	17
図 1.4.2	従来のモジュール構成	18
図 1.4.3	e-モジュールの考え方	19
図 1.4.4	e-モジュールになり得るモジュール構成	19
図 1.4.5	IoT 分野でのデジタル機器を構成する最適単位	20
図 1.4.6	デジタル機器およびモジュールの開発に必要な技術	21
図 1.4.7	e-モジュール開発に必要な技術	22
図 2.0.1	モジュール化での対策ポイント	25
図 2.0.2	モジュール化による小型化	26
図 2.0.3	モジュール化における新規開発技術	26
図 2.1.1	3D 構造の統合モデル環境	27
図 2.1.2	LSI、パッケージ、PCB 各端子の座標合わせ機能	28
図 2.2.1	モジュール内の LSI 端子からモジュール端までの信号経路	29
図 2.2.2	モジュール内の LSI 再配線層 3D モデル化	30
図 2.2.3	モジュール内の VIA 形状 3D モデル化	30
図 2.2.4	モジュール内の共振解析検証	31
図 2.2.5	モジュール内のノイズ源	32

図 2.2.6	ノイズ源を設定し統合解析モデル	32
図 2.2.7	ノイズ伝播解析結果事例	32
図 2.3.1	統合解析と遺伝的アルゴリズムの組み合わせによる最適化設計環境	33
図 2.3.2	DC/DC コンバータから LSI への電源供給図	34
図 2.3.3	LSI 消費電流波形	35
図 2.3.4	ターゲット・インピーダンス Z_t	36
図 2.3.5	電源対策用コンデンサを最適化(最小化)する条件	36
図 2.3.6	電源対策用コンデンサを最適化(最小化)抽出フロー	37
図 2.3.7	電源インピーダンス解析の制御因子	37
図 2.3.8	様々な組み合わせの電源-グラウンドインピーダンス解析結果	38
図 2.3.9	各周波数に対して有意な差を持つ制御因子の調査	39
図 2.3.10	1MHz の時の p 値 (0.05 以下)	39
図 2.3.11	各周波数のインピーダンス値に対する各制御因子の寄与度	40
図 2.3.12	最適なコンデンサの容量、数、座標の抽出	41
図 2.3.13	パスコン配置フロー	42
図 2.3.14	従来のパスコン配置手法による過剰パスコン配置事例	42
図 2.3.15	共振解析の等高線(等圧線)結果	43
図 2.3.16	パスコン配置位置の絞り込み処理	43
図 2.3.17	パスコン配置位置の絞り込み処理(2)	44
図 2.3.18	パスコン最適配置の自動算出アルゴリズム	44
図 2.3.19	パスコン最適配置の自動算出アルゴリズム(2)	45
図 2.3.20	パスコン最適配置の自動算出アルゴリズム(3)	45
図 2.3.21	パスコンの間引き処理アルゴリズム	46
図 2.3.22	モード①の共振結果	47
図 2.3.23	モード②の共振結果	47
図 2.3.24	モード③の共振結果	47
図 2.3.25	モード④の共振結果	48
図 2.3.26	モード⑤の共振結果	48
図 2.3.27	モード⑥の共振結果	48
図 2.3.28	モード⑦の共振結果	49
図 2.3.29	モード⑧の共振結果	49
図 2.3.30	各エネルギーの定義	50
図 2.3.31	EMI 測定基板	51
図 2.3.32	EMI 解析モデル	51
図 2.3.33	パスコン配置位置(S11 解析位置)	52
図 2.3.34	各パスコン位置における S11 解析結果	55

図 2.3.35	3m法の EMI 測定結果	56
図 2.3.36	パソコン有無の EMI 測定に差が出た周波数の共振解析結果	57
図 2.3.37	EMI 発生箇所のレイアウト図	58
図 2.3.38	EMI 発生メカニズム	58
図 2.3.39	EMI 対策用コンデンサの最適化フロー	58
図 2.3.40	EMI 対策用コンデンサの最適化(最小化)抽出フロー	59
図 3.1.1	デジタル機器の設計フロー	61
図 3.1.2	筐体-PCB ビューワによる 3D 可視化	62
図 3.1.3	デジタル機器設計フローでの 8 つのシミュレーション	63
図 3.2.1	ブロックライブラリの概念図	64
図 3.2.2	構想設計での仮想設計データ	65
図 3.2.3	過去類似のブロックデータに置き換えたブロック配置案	66
図 3.2.4	構想設計での熱解析事例	66
図 3.2.5	高速信号の電気長	67
図 3.2.6	現在の設計スタイル	68
図 3.2.7	今後の設計スタイル	69
図 3.3.1	階層間定義(グルーピング/差動ペアの定義)による効果	70
図 3.3.2	設計制約定義による効果	70
図 3.3.3	修正前のクロスした DDR 配線	71
図 3.3.4	ピンアサイン修正の検討	71
図 3.3.5	修正後の DDR 配線	71
図 4.0.1	ハイエンド CPU の V_s 、 I_c および Z_t のトレンド	75
図 4.1.1	LSI 負荷モデル有無による PDN 特性の差	76
図 4.1.2	LSI 負荷有りモデルの PCB とパッケージ基板データ	77
図 4.1.3	LSI 負荷情報の抽出方法の概要	78
図 4.1.4	LSI 負荷情報の抽出方法	78
図 4.1.5	LSI 負荷情報抽出フロー	80
図 4.1.6	LSI のみが実装された測定用 PCB 基板	80
図 4.1.7	電源-グラウンドインピーダンス測定	81
図 4.1.8	LSI のみが実装された PCB 基板の電源-グラウンドインピーダンス測定結果	81
図 4.1.9	LSI が搭載されていない PCB 設計のシミュレーションモデル	82
図 4.1.10	解析設定条件	83
図 4.1.11	LSI が搭載されていない PCB 基板のシミュレーション結果	83
図 4.1.12	本手法を用いて抽出した Z_{CPU}	84
図 4.1.13	抽出した Z_{CPU} を用い解析した Z_{IN} (赤線)と、実測結果の Z_{IN} (黒線)の比較	85
図 4.1.14	抽出した Z_{CPU} を用いた Point A の PDN	86

図 4. 1. 15	CPU 負荷有無による PDN インピーダンスの比較	87
図 4. 2. 1	電源評価基板	88
図 4. 2. 2	電源評価基板の等価回路	88
図 4. 2. 3	スイッチング・レギュレータの動作波形	89
図 4. 2. 4	ネットワーク/スペクトラム/インピーダンス・アナライザ	89
図 4. 2. 5	電源インピーダンス測定結果	90
図 4. 2. 6	スイッチング・レギュレータの High 側 FET がオンの時の電流状態	90
図 4. 2. 7	High 側 FET の状態	91
図 4. 2. 8	スイッチング・レギュレータの High 側 FET がオンの時の等価回路	91
図 4. 2. 9	スイッチング・レギュレータの Low 側 FET がオンの時の電流状態	91
図 4. 2. 10	Low 側 FET の状態	92
図 4. 2. 11	スイッチング・レギュレータの Low 側 FET がオンの時の等価回路	92
図 4. 2. 12	電源インピーダンス実測および解析結果	93
図 5. 1. 1	一般的な設計手法で設計した事例	95
図 5. 1. 2	3D 構造での表層 50Ω 配線のポイント	96
図 5. 1. 3	モジュールの共振解析結果とその対策	96
図 5. 1. 4	3D 構造のモジュールにおけるノイズ対策事例	97
図 5. 2. 1	SiO ₂ /Si 基板上に堆積させた SiC およびグラフェン	98
図 5. 2. 2	LSI 集積回路への SiC、グラフェン、CNT 使用応用例	99
図 5. 2. 3	アニーリング後の 3C-SiC(111) 表面の STM 画像	99
図 5. 2. 4	通信機能入りモジュールの事例	100
図 5. 2. 5	通信機能入りモジュールの LSI に新材料を応用した場合の可能性	100

研究業績論文

学術論文

M. Okano, K. Watanabe, M. Naitoh, and I. Omura, “New Measurement Base De-embedded CPU Load Model for Power Delivery Network Design”, 2015 9th International Conference on Power Electronics and ECCE Asia (IEEE), P1-3, pp.1-6, June 2015

M. Okano, D. Edamoto, K. Uchida, I. Omura, T. Ikari, M. Nakao, and M. Naitoh, “Ion-Beam Irradiation Effect in the Growth Process of Graphene on Silicon Carbide-on-Insulator Substrates”, Materials Science Forum, Vols. 778-780, pp. 1170-1173, February 2014

寄稿

岡野資睦, “東芝が進める実装設計の「見える」化”, 半導体技術年鑑 2011 第 6 章 実装設計/熱設計 日経 BP

学会発表・講演実績

岡野資睦、澤村大介、渡部行男, “金属 BaTiO₃/SrTiO₃:Nb ダイオード電流特性の温度変化依存性”, 平成 9 年度応用物理学会九州支部講演会 (1997)

岡野資睦、澤村大介、田中哲也、堀口篤、栢田彰洋、渡部行男, “BaTiO₃ エピタキシャル薄膜のリーク電流の電極材料及び温度依存性”, 第 45 回春季応用物理学会 (1998)

岡野資睦、澤村大介、田中哲也、重末貴寿、渡部行男, “BaTiO₃ エピタキシャル薄膜の電流電圧特性と温度特性の電極材料依存性”, 第 15 回強誘電体応用会議 (1998)

岡野資睦、松下泰之、渡部行男, “Pb(Ti, Zr)O₃ 系薄膜における nm コンタクト電流電圧特性”, 秋季応用物理学会 (1998)

岡野資睦、松下泰之、渡部行男, “Pb(Ti, Zr)O₃ pn 接合における強誘電体ダイオードのパルス応答特性”, 平成 11 年度応用物理学会九州支部例会 (1999)

岡野資睦、松下泰之、渡部行男, “Pb(Ti, Zr)O₃ pn 接合ダイオードのパルス記録長期保持特性”, 第 46 回春季応用物理学会 (1999)

岡野資睦、松下泰之、渡部行男, “Pb(Ti, Zr)O₃ 強誘電体界面の輸送特性の分極依存性”, 国内物理学会 1999 年年会 (1999)

M. Okano, Y. Watanabe and S. W. Cheong, “Effect of oxygen vacancies on the out-of-plane and in-plane dielectric properties of BaTiO₃ single crystals”, 第 47 回春季応用物理学会 (2000)

岡野資睦, 小原忠博, 渡部行男, “金属/酸化物強誘電体酸化物/ペロブスカイト酸化物ダイオード電流の光照射効果”, 第 47 回春季応用物理学会 (2000)

岡野資睦, “デジタル機器開発における CAE の取り組み”, Sigriety Forum 招待講演 (2008)

岡野資睦, “デジタル機器開発の構想設計プロセスイノベーション”, Zuken Innovation2009 招待講演 (2009)

M. Okano, “EMI-sim in System Arch. Design phase”, IEEE 13th Systems Packaging Japan Workshop (2010)

岡野資睦, “東芝が進める実装設計の「見える」化”, 日経システム設計サミット招待講演 (2010)

岡野資睦, “パワーインテグリティのチップ・パッケージ・ボード相互設計手法”, エレクトロニクス実装学会 2011 サマーセミナー講師 (2011)

岡野資睦, “デジタル機器のチップ・パッケージ・ボード相互設計手法”, CDNLive! Japan 2011 招待講演, (2011)

岡野資睦, “デジタル機器開発におけるシミュレーション活用事例”, システム Jisso-CAD/CAE 研究会公開研究会 (2011)

岡野資睦, 福場義憲, “プラットフォーム化に対応する協調設計ソリューションの追求”, Zuken Innovation World 2012 招待講演 (2012)

M. Okano, D. Edamoto, K. Uchida, I. Omura, T. Ikari, M. Nakao, and M. Naitoh, “Ion-Beam Irradiation Effect in the Growth Process of Graphene Using SiC-on-Insulator Substrates”, ICSCRM2013 (2013)

岡野資睦, “DesignForce を用いた モジュール設計の有効性検証”, Zuken Innovation World 2013 招待講演 (2013)

岡野資睦, “チップ内蔵基板による世界最小モジュールの実現 ～CAD/CAE の連携による効果的な構想設計～”, Ansys CPS セミナー講師 (2013)

参考論文

Y. Watanabe, D. Sawamura, and M. Okano, “Evolution of the memory effect of the current through ferroelectric p/p and p/n heterostructures”, Solid State Ionics 108/1-4, pp. 109-115, January 1998

Y. Watanabe, D. Sawamura, N. Toyama, and M. Okano, “Highly Resolved Conduction Properties of Ferroelectric/Semiconductor Diode Exhibiting Memory Effect”, Journal of the Korean Physical Society, Vol. 32, pp. S1361-S1363, February 2015

Y. Watanabe, D. Sawamura, and M. Okano, “Recurrent local resistance breakdown of epitaxial BaTiO₃ heterostructures”, Applied Physics Letters, Vol. 72, No. 19, pp. 2415-2417, May 1998

Y. Watanabe, D. Sawamura, M. Okano, and N. Toyama, “Leakage current spectroscopy of epitaxial ferroelectric/semiconductor heterostructures and their memory effect”, Applied Surface Science, 130-132 (1-4), pp. 682-688, May 1998

M. Okano, D. Sawamura, Y. Watanabe, “Electrode Metal Dependence of Leakage Current Characteristics of Epitaxial BaTiO₃ Films on p- and n-Type Electrodes”, Japanese Journal of Applied Physics, Vol. 37, pp. 1501-1503, September 1998

M. Okano and Y. Watanabe, “Nonvolatile programmable two-terminal diodes using ferroelectric semiconductor”, Applied Physics Letters, Vol. 76, No. 2, pp. 233-235, January 2000

Y. Watanabe, M. Okano, and A. Masuda, “Surface Conduction on Insulating BaTiO₃ Crystal Suggesting an Intrinsic Surface Electron Layer”, Physical Review Letters, Vol. 86, No. 2, pp. 332-335, January 2001

- Y. Watanabe, M. Okano, A. Masuda, Ch. Gerber, H. P. Lang, N. Toyama, and T. Shigesue, "Electron conduction on insulating BaTiO₃ surface dependent on spontaneous polarization: Spontaneous 2D gas on ferroelectric surface" , Proc. 25th Int. Conf. Phys. Semicond. , pp.1623–1624, January 2001
- M. Okano, Y. Watanabe, "Ferroelectric photodiode and photo-enhanced tunneling" , Proc. 25th Int. Conf. Phys. Semicond. , pp.1707–1708, January 2001
- Y. Watanabe, G. A. Thomas, S. W. Cheong, and M. Okano, "Size Effect Study by Bulk Crystals: Optical and DC Dielectric Response of Oxygen Vacant BaTiO₃" , Ferroelectrics Vol. 259, pp. 37–42, March 2001
- Y. Watanabe and M. Okano, "Photodiode properties of epitaxial Pb(Ti,Zr)O₃/SrTiO₃ ferroelectric heterostructures" , Applied Physics Letters, Vol. 78, No. 13, pp. 1906–1908, March 2001
- M. Okano, Y. Watanabe, and S. W. Cheong, "Nonlinear positive temperature coefficient of resistance of BaTiO₃ film" , Applied Physics Letters, Vol. 82, No. 12, pp. 1923–1925, March 2003
- M. Okano, Y. Watanabe, and N. Toyama, "Anomaly in Temperature Dependence of Current Voltage Characteristics of BaTiO₃ Ferroelectric Frozen Phase" , Journal of the Korean Physical Society, Vol. 42, pp. S1207–S1210, September 2003
- Y. Watanabe and M. Okano, "Photoresponse of Zener tunneling junctions of Pb(Ti,Zr)O₃/SrTiO₃ at low temperature" , Journal of Applied Physics, Vol. 94, No. 11, pp. 7187–7192, December 2003
- Y. Watanabe and M. Okano, "Photoresponse of Tunneling Conduction Through Pb(Ti,Zr)O₃/SrTiO₃ Junction at Low Temperature" , Integrated Ferroelectrics, Vol. 62, pp. 49–54, September 2004
- M. Naitoh, M. Okano, Y. Kitada, Y. Sasaki, Y. Okubo, D. Edamoto, M. Nakao, I. Omura, and T. Ikari, "STM Observation of Graphene Formation Using SiC-on-Insulator Substrates" , Surface Review and Letters, Vol. 18, No. 5, pp. 163–167, October 2011

枝元太希, 早久和希, 岡野資睦, 坪井直也, 碓智徳, 中尾基, 内藤正路, “SOI 基板を用いたグラフェン形成に関する研究”, Journal of the Vacuum Society of Japan, Vol. 57, No. 4, pp. 144–146, January 2014

K. Agawa, I. Seto, A. Happoya, Y. Iida, Y. Imaizumi, M. Okano et al, “3D-integrated, low-height, small module design techniques for 4.48GHz, 560MHz-bandwidth TransferJet™ transceiver”, Radio and Wireless Symposium 2014 IEEE, pp. 76–78, January 2014

M. Okano, D. Edamoto, K. Uchida, I. Omura, T. Ikari, M. Nakao, and M. Naitoh, “Ion-Beam Irradiation Effect in the Growth Process of Graphene on Silicon Carbide-on-Insulator Substrates”, Materials Science Forum, Vols. 778–780, pp. 1170–1173, February 2014

M. Okano, K. Watanabe, M. Naitoh, and I. Omura, “New Measurement Base De-embedded CPU Load Model for Power Delivery Network Design”, International Conference on Power Electronics 2015-ECCE Asia, June 2015

特許取得

特許第 4151964 号「情報表示システムおよび情報表示方法」(2008 年 7 月)

特許第 4343254 号「多層プリント配線基板」(2009 年 7 月)

特許第 4805786 号「データ転送システムおよびデータ送信装置」(2011 年 8 月)

特許第 4799651 号「設計支援装置および設計支援方法」(2011 年 8 月)

特許第 4843583 号「情報処理装置、電源系統ツリー作成方法およびプログラム」(2011 年 10 月)